
Electronics for Particle Measurement

Hirokazu Ikeda

iked@post.kek.jp

School of Mathematical and Physical Science

The Graduate University for Advanced Studies

June 28, 2002

Abstract

The basics of an integrated circuit are described with special emphasis placed on a charge-measurement system. Starting with an outline of a fine CMOS technology, the discussion moves to a practical implementation of circuits.

Contents

5 Signal Processing for a charge-measurement system	1
5.1 Test-pulse injection circuit	1
5.2 Charge-sensitive preamplifier	2
5.3 Pole-zero cancellation circuit	3
5.4 Non-inverting amplifier	3
5.5 Shaping amplifier circuit	4
5.6 Entire signal chain	4
5.7 Alternative scheme for pole zero cancellation	8
A Notice	10

5 Signal Processing for a charge-measurement system

荷電信号用の信号処理回路は、前置増幅器、ポール・ゼロキャンセレーション回路、主増幅器としての整形増幅器、及びピークホールド回路を有している。

各部の動作を個別に議論したのち、全体の動作をSPICE^aによる回路解析を用いて示す。

^a"Simulation Program, Integrated Circuit Emphasis", University of California, Berkeley

We describe here a charge-measurement system which consists of a preamplifier, a pole-zero cancellation circuit, a shaping amplifier as a main amplifier, and a peak-hold circuit.

After introducing each circuit block, we discuss the operation of the entire circuit based on SPICE.

5.1 Test-pulse injection circuit

図1は、信号処理系に電荷を注入するための回路である。入力信号は、本来、放射線検出器の発生する電荷信号であるが、ここでは、それを擬似的に発生させている。このような信号を「テストパルス」と呼ぶ。

The circuit shown in Fig. 1 is prepared for the purpose of injecting a certain amount of charge to a signal-processing system. Input signals for the charge-measurement system are generated in a radiation detector; the test pulse injection circuit simulates such detector signals. The signals generated by the test pulse circuit are called "test pulses".

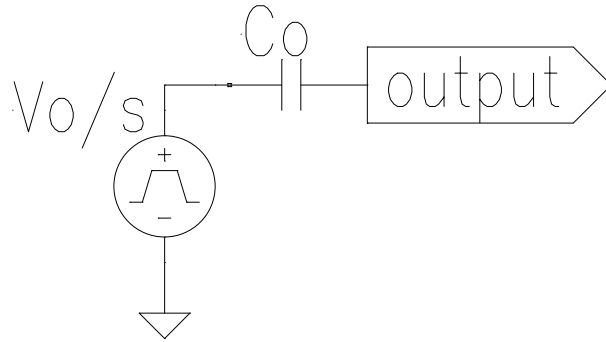


Figure 1: Thevenin equivalent of a test-pulse injection circuit.

電圧源は、 $t = 0$ でゼロから V_0 まで遷移するステップ関数である。対応するノルトンの等価回路は

The voltage source generates a step pulse with an amplitude of V_0 . The corresponding Norton's equivalent has a current source,

$$I_0(s) = \frac{V_0/s}{1/(sC_0)} = V_0C_0,$$

を電流源とし、それに並列に容量 C_0 を負荷としたものである。

and capacitance C_0 as a parallel load.

電流源は、実時間では、 $i(t) = V_0C_0\delta(t)$ で表される電荷インパルスである。

The time-domain presentation of the current source is a charge impulse, which is described as $i(t) = V_0C_0\delta(t)$.

5.2 Charge-sensitive preamplifier

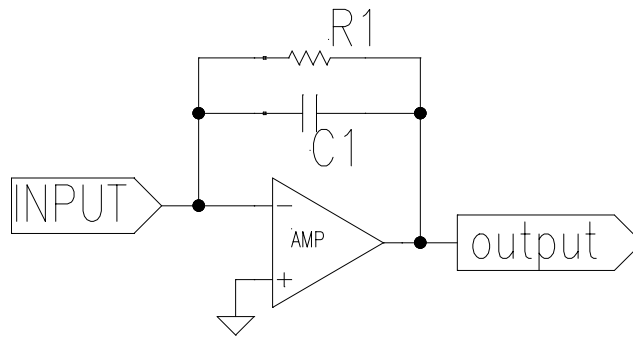


Figure 2: Charge-sensitive preamplifier.

図 2 は、荷電増幅型の前置増幅器である。積分用の容量 C_1 に並列に抵抗 R_1 を設けることによって、信号を受信した後、自動的に出力信号は、そのベースラインに復帰するようになっている。伝達関数は、トランスインピーダンスゲインとして、

Fig. 2 shows a charge-sensitive preamplifier. The in-coming charge is stored in capacitor C_1 and is automatically discharged through resistor R_1 to restore the base line. The transfer function can be presented in terms of the trans-conductance gain as

$$T_1(s) = -\frac{R_1}{1 + sC_1R_1}.$$

である。現実の前置増幅器では、信号源容量の影響を受けて、信号の立ち上がり時間に係る時定数が関与するはずである。もっとも、当該増幅器の開ループゲインが高く維持されている限りにおいては、この時定数を副次的な影響に留めることができる。

A practical preamplifier may include another time constant related to the signal's rise time under the influence of the detector capacitance. As long as the open-loop gain of the preamplifier is kept very large, the deterioration of the rise time is usually not a major issue.

5.3 Pole-zero cancellation circuit

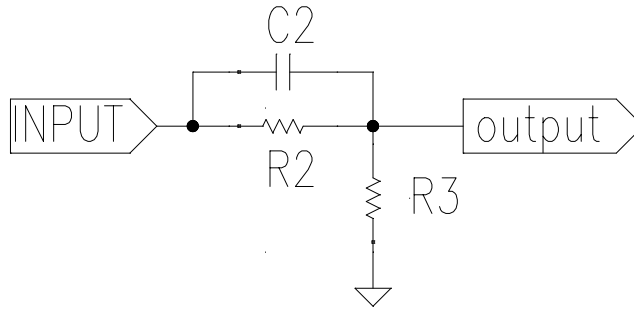


Figure 3: Pole-zero cancellation circuit.

図 3 は、いわゆるポール・ゼロ補償回路である。その伝達関数は、

Fig. 3 shows the so-called a pole-zero cancellation circuits, whose transfer function is described as

$$T_2(s) = \frac{R_3}{R_2 + R_3} \frac{1 + sC_2R_2}{1 + sC_2(R_2 \parallel R_3)}.$$

のように表わすことができる。 $C_2R_2 = C_1R_1$ とすることにより、 T_1 のポールと T_2 のゼロが相殺する。これを称して「ポール・ゼロ補償（キャンセレーション）」という。 $C_2R_2 > C_2(R_2 \parallel R_3)$ であるから、 T_2 によって、前置増幅器の出力信号の減衰時定数が短縮されることになる。

Once you set $C_2R_2 = C_1R_1$, the zero of T_2 compensates the pole of T_1 ; the scheme is called "pole/zero cancellation". The effect of the pole/zero cancellation is to shorten the decay tail of the preamplifier output down to $C_2(R_2 \parallel R_3)$ in place of C_1R_1 .

5.4 Non-inverting amplifier

図 4 は、いわゆる非反転増幅器である。利得は、

Fig. 4 shows a so-called non-inverting amplifier. The gain of the amplifier is described as

$$T_3(s) = 1 + \frac{R_5}{R_4}.$$

のように表わすことができる。例えば、 T_2 における直流減衰分に対応する利得を回復するように設定すれば、

If you intend to recover the signal's amplitude for the DC-loss at the pole/zero cancellation stage, it requires

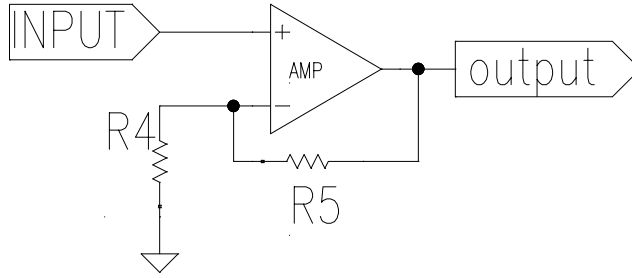


Figure 4: Non-inverting amplifier.

$$\frac{R_5}{R_4} = \frac{R_2}{R_3}$$

としておけばよい。

5.5 Shaping amplifier circuit

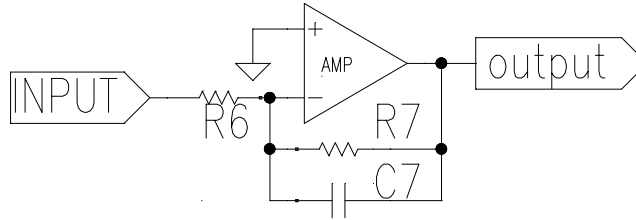


Figure 5: Shaping amplifier.

図5は、整形増幅器の回路ブロックである。ポール・ゼロ補償回路と本回路ブロックを複合したものを整形増幅器ということもある。伝達関数は、ローパス特性を有しており、

Fig. 5 shows the circuit configuration of the shaping amplifier. The term shaping amplifier sometimes designates a circuit which combines the pole/zero cancellation circuit and the shaping amplifier circuit. The transfer function of the shaping amplifier shows the following low-pass characteristics:

$$T_6(s) = -\frac{R_7}{R_6} \frac{1}{1 + sC_7R_7}$$

のように表わすことができる。 T_2 のポールと T_6 のポールを一致させて、いわゆる「臨界減衰」の条件を満たすためには、 $C_7R_7 = C_2(R_2 \parallel R_3)$ のようにすればよい。

It is a common practice to set the poles of T_2 and T_6 at the same frequency, i.e. setting $C_7R_7 = C_2(R_2 \parallel R_3)$, which is called the "critical damping condition".

5.6 Entire signal chain

総合応答は、 $I_0(s)T_1(s)T_2(s)T_3(s)T_4(s)T_5(s)T_6(s)$ で与えられるので、

The entire transfer function of the signal processing system is given by $I_0(s)T_1(s)T_2(s)T_3(s)T_4(s)T_5(s)T_6(s)$, which yields

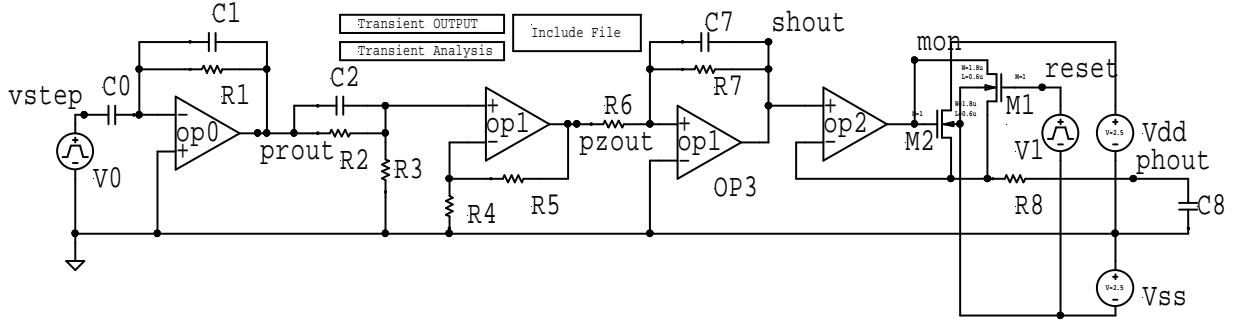


Figure 6: Entire signal chain.

$$V_0 \frac{C_0}{C_1} \left(1 + \frac{R_2}{R_3}\right) \frac{R_7}{R_6} \frac{T_M}{(1 + sT_M)^2} \rightarrow V_0 \frac{C_0}{C_1} \left(1 + \frac{R_2}{R_3}\right) \frac{R_7}{R_6} \frac{t}{T_M} e^{-t/T_M},$$

となる。ただし、 $T_M = C_2(R_2 \parallel R_3) = C_7 R_7$ である。また、 $R_5/R_4 = R_2/R_3$ 、 $C_2 R_2 = C_1 R_1$ を用いた。

図 6 には、上記総合応答に対応する回路ブロックにピークホールド回路を付加して、信号処理系の全体を示した。

回路定数等の詳細については、SPICE のネットリストを参照して欲しい。

また、前置増幅器とピークホールド回路用には、電圧・電流変換形の演算増幅器を用いていることに注意すること。特に、演算増幅器 op2 には、出力電圧が過大・過小ならないように、電圧リミタが設けられていることを確認のこと。

さらに、ピークホールド回路には二個の MOSFET が用いられていることに注意すること。M1 は、スイッチとして用いられているものであり、M2 は、ソースフォロワーとして用いられているものである。

先の、電圧リミタは、ピークホールド時に M1 が導通してしまうのを防止するためのものである。

where we have employed the relations $T_M = C_2(R_2 \parallel R_3) = C_7 R_7$, $R_5/R_4 = R_2/R_3$, and $C_2 R_2 = C_1 R_1$.

Fig. 6 shows a complete signal-processing chain where the peak hold circuit is located at the final stage together with the circuit blocks described above.

You can find exact details concerning the components' values by referring to the SPICE netlist attached below.

VCCS's (op0 and op2), i.e. the transconductance amplifiers, are employed for the preamplifier and the peak-hold circuit, while VCVS's (op1) are employed for the shaping amplifier and the non-inverting amplifier.

You should be specifically aware that op2 is equipped with an output voltage limiter circuit. The peak-hold circuit employs two MOSFETs, M1 and M2. M1 is an analog switch, which is shut off during the hold mode, and is turned on during the tracking mode. M2 is a source follower to rule the direction of the current flow.

The voltage limiter circuit is relevant to keep transistor M1 shut off during the peak-hold mode.

SPICE ネットリストの各行には、素子名、接続情報、パラメータの順に記述されており、全体として、回路図面と等価の記述となっている。
 .SUBCKT から .ENDS までは、サブサーキット記述と呼ばれるものであって、一定のまとまりのある回路ブロックを定義したり、複数回にわたる参照の便宜のために用いたりするものである。
 .INC によって、MOSFET の属性を記述した外部ファイルを参照するようになっている。
 なお、接地のノードには、番号"0"が割り当てられていることに注意すること。

また、.tran によって、当該回路解析が時間領域での解析であること及び解析の及ぶ最大時間幅、最小解析時間ステップ等を指定することができる。さらに、SPICE ネット記述は、.END によって全体の記述の終了を示すようになっている。
 以下に、図 6 に対応する SPICE ネットリストを掲げておく。

```
* Spice netlist for Fig.6
.SUBCKT op0 minus out plus
g1 out 0 minus plus 2m
.ENDS
.SUBCKT op1 minus out plus
e1 out 0 plus minus 10000
.ENDS
.SUBCKT op2 minus out plus
M1 N4 N2 out N5 NMOS L=0.6u W=6u M=1
M2 N5 N1 out N4 PMOS L=0.6u W=6u M=1
R3 0 out 5Meg TC=0.0, 0.0
v4 N4 0 2.5
v5 0 N5 2.5
v6 0 N2 1.
v7 N1 0 1.
g8 out 0 minus plus 2m
.ENDS
* Main circuit:
.INC mos.md
C0 N5 vstep 1pF
C1 N5 prout 0.5pF
C2 prout N6 500p
C7 N2 shout 100p
C8 0 N7 10p
M1 MON reset phout N1 NMOS L=0.6u W=1.8u M=1
M2 N8 MON phout N1 NMOS L=0.6u W=1.8u M=1
X1 N5 prout 0 op0
X2 N3 pzout N6 op1
X3 0 shout N2 op1
X4 phout MON shout op2
.probe
R1 N5 prout 20Meg TC=0.0, 0.0
R2 prout N6 20k TC=0.0, 0.0
R3 0 N6 5k TC=0.0, 0.0
```

Each line of the SPICE netlist in general consists of the instance name, a list of the relevant nodes, the model name for the device, and the parameter for the device. The entire netlist is basically equivalent to the corresponding schematic.

The lines which are located in between .SUBCKT and .ENDS are called a subcircuit description, which defines a certain function block, and enables modular presentation of the circuit.

The model file of the MOSFET is incorporated into the SPICE simulation by a control command, .INC.

The control line which begins with .tran designates that the simulation executed in the current run is a time-domain analysis.

.END is a mandatory control command which designates the last line of the circuit description. The following is the SPICE netlist corresponding to Fig. 6:

```

R4 0 N3 5k TC=0.0, 0.0
R5 N3 pzout 20k TC=0.0, 0.0
R6 pzout N2 1k TC=0.0, 0.0
R7 N2 shout 20k TC=0.0, 0.0
R8 phout N7 100 TC=0.0, 0.0
V2 N8 0 2.5
V3 0 N1 2.5
.tran 1n 40u
v0 vstep 0 pulse(0.0 4m 1.5u 10n 10n 39u 50u)
v1 reset N1 pulse(0 5 0 10n 10n 1u 39u)
* End of main circuit
.end

```

SPICE ネットリストの記述によれば、

$V_0 = 4 \text{ mV}$ 、 $C_0 = 1 \text{ pF}$ 、 $C_1 = 0.5 \text{ pF}$ 、 $R_2 = 20 \text{ k}\Omega$ 、 $R_3 = 5 \text{ k}\Omega$ 、 $R_6 = 1 \text{ k}\Omega$ 、 $R_7 = 20 \text{ k}\Omega$ 、 $T_M = C_7 R_7 = 2 \text{ }\mu\text{s}$ であるから、出力信号は、ピーキング時間が $2 \text{ }\mu\text{s}$ であって、ピークにおける電圧値として、 293 mV を得る。

実際に SPICE 処理系によって、回路の応答を調べると図 7 のようになる。

Employing the parameters assigned in the SPICE netlist, i.e. $V_0 = 4 \text{ mV}$, $C_0 = 1 \text{ pF}$, $C_1 = 0.5 \text{ pF}$, $R_2 = 20 \text{ k}\Omega$, $R_3 = 5 \text{ k}\Omega$, $R_6 = 1 \text{ k}\Omega$, $R_7 = 20 \text{ k}\Omega$ and $T_M = C_7 R_7 = 2 \text{ }\mu\text{s}$, the pulse height of the output is 293 mV with a peaking time of $2 \text{ }\mu\text{s}$.

The actual signal's response examined by the SPICE simulation is shown in Fig.7.

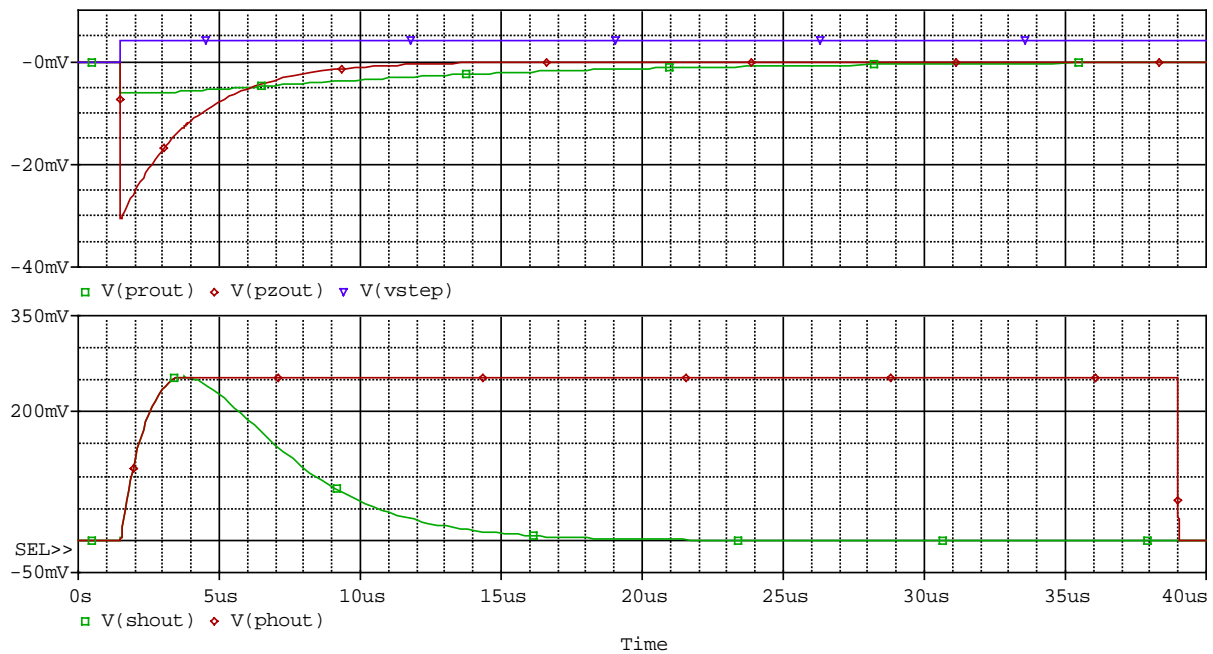


Figure 7: Response of the circuit.

横軸は、時間軸であり、0 から 40 μs をカバーしている。縦軸は電圧軸であり、上部のチャートでは、-40 から 10 mV を、下部のチャートでは-50 から 350 mV をカバーしている。

上部のチャートには、テストパルス用の入力信号 (vstep) と、前置増幅器の出力信号 (prout) と、ポールゼロ補償回路をした後非反転増幅器によって増幅された信号 (pzout) が示されている。vstep は、4 mV であり、これが、 $-C_0/C_1 = -2$ 倍となつて、prout に現われる。ポールゼロ補償の効果として、pzout の減衰時定数 ($C_2(R_2 \parallel R_3) = 2 \mu s$) は、prout の減衰時定数 ($C_1R_1 = 10 \mu s$) よりも短縮されていることが確認できる。

下部のチャートには、整形増幅器の出力である shout と、ピークホールド回路の出力である phout の電圧波形が示されている。shout と phout とは、shout がそのピークに達するまでは、正確に重なっているが、それ以降では、phout は、shout のピークの値を維持しつづける。 $t \approx 40 \mu s$ で phout は、shout に再び合流する。ピークホールド回路中のソースフォロワー M2 のゲートとソースを短絡する MOS スイッチ M1 が閉となり、ピークホールド回路が、「ホールドモード」から「トラッキングモード」に切り替わったためである

5.7 Alternative scheme for pole zero cancellation

§5.3 記載のポール・ゼロ補償回路は、出力側の負荷が低インピーダンスである場合には、図 8 のようにすることができる。このときポール・ゼロ補償回路は §5.5 において R_6 を置換するように配置することができる。ちなみに、ポール・ゼロ補償から整形増幅器の出力までの応答 ($T_{alt}(s)$) は、以下の様である。

$$T_{alt}(s) = \frac{R_7}{R_{2a}} \frac{1 + sC_2(R_{2a} + R_{3a})}{(1 + sC_2R_{3a})(1 + sC_7R_7)}.$$

ポール・ゼロ補償は、 $C_2(R_{2a} + R_{3a}) = C_1R_1$ によって達せられる。また、臨界減衰の条件は、 $C_2R_{3a} = C_7R_7$ とすればよいことが分かる。この時、総合応答は、 R_{5a} 、 R_{4a} を非反転増幅器についての新たな定数として、

$$\frac{V_0C_0}{C_1} \left(1 + \frac{R_{2a}}{R_{3a}}\right) \left(1 + \frac{R_{5a}}{R_{4a}}\right) \frac{R_7}{R_{2a}} \frac{T_M}{(1 + sT_M)^2} \rightarrow \frac{V_0C_0}{C_1} \left(1 + \frac{R_{2a}}{R_{3a}}\right) \left(1 + \frac{R_{5a}}{R_{4a}}\right) \frac{R_7}{R_{2a}} \frac{t}{T_M} e^{-t/T_M}.$$

を得る。以下に、図 9 に対応する SPICE ネットリストを掲げておく。

The horizontal scale presents a time axis, which covers 0 to 40 μs . The vertical scale presents a voltage, which covers -40 to 10 mV in the upper chart, and -50 to 350 mV in the lower chart.

The upper chart shows voltage transients for vstep, prout and pzout, which are the test pulse input, the preamplifier output, and the output of the non-inverting amplifier after passing through the pole/zero cancellation circuit. The vstep signal is a step signal with an amplitude of 4 mV . The input for vstep is amplified by $-C_0/C_1 = -2$ to appear at the node of prout. The pole/zero cancellation circuit shortens the damping time constant from the original time constant of $C_1R_1 = 10 \mu s$ down to $C_2(R_2 \parallel R_3) = 2 \mu s$.

The lower chart shows an output of the shaper amplifier shout, and an output of the peak-hold circuit phout. The signals for shout and phout are identical until $t \approx 3.5 \mu s$.

The voltage at the node phout maintains the peak voltage of shout even after $t \approx 3.5 \mu s$, and again meets shout at $t \approx 40 \mu s$ by the action of the MOSFET M1, which moves the mode of the peak-hold circuit from the hold-mode to the tracking-mode.

The pole/zero cancellation circuit described in §5.3 can be modified as shown in Fig. 8 under the condition that the output of the pole/zero cancellation circuit is fed into a low-impedance node. The alternative pole/zero cancellation circuit is located in place of R_6 of the shaping amplifier circuit described in §5.5. The combined transfer function $T_{alt}(s)$ of the modifier shaping amplifier is

The condition for the pole/zero cancellation is $C_2(R_{2a} + R_{3a}) = C_1R_1$. The condition for the critical damping is $C_2R_{3a} = C_7R_7$.

Introducing R_{4a} , and R_{5a} for new parameters of the non-inverting amplifier, we can describe the overall response as

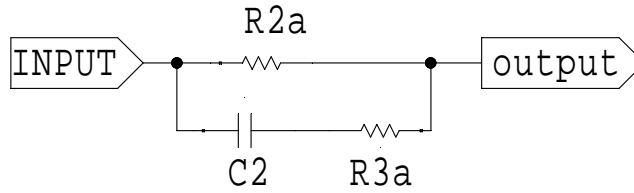


Figure 8: Alternative pole-zero cancellation scheme.

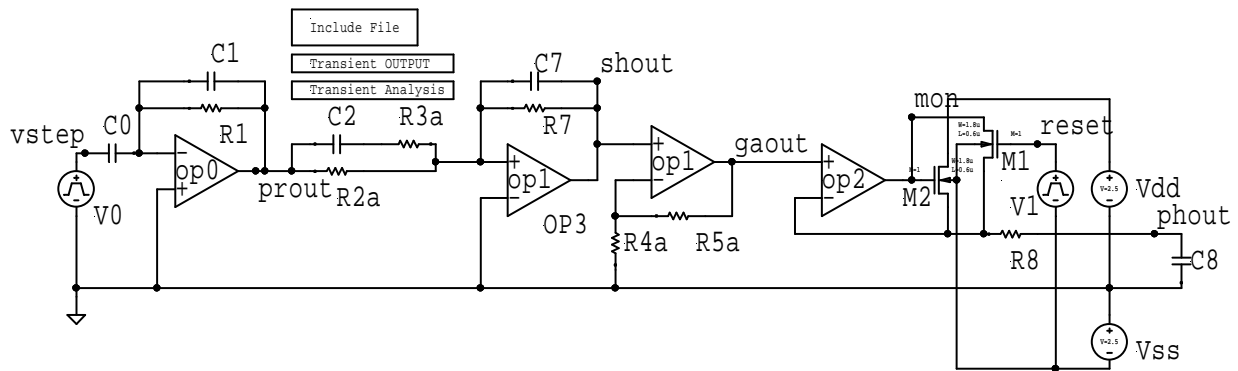


Figure 9: Entire signal chain.

```

* SPICE netlist for Fig.9
* Main circuit:
X1 N35 prout 0 op0
X2 0 shout N40 op1
X3 N34 gaout shout op1
X4 N33 mon gaout op2
.INC mos.md
C0 N35 vstep 1pF
C1 N35 prout 0.5pF
C2 prout N36 500p
C7 N40 shout 100p
C8 0 phout 10p
M1 mon reset N33 N38 NMOS L=0.6u W=1.8u M=1
M2 N39 mon N33 N38 NMOS L=0.6u W=1.8u M=1
.probe
R1 N35 prout 20Meg TC=0.0, 0.0
R7 N40 shout 20k TC=0.0, 0.0
R8 N33 phout 100 TC=0.0, 0.0
R2a prout N40 20k TC=0.0, 0.0
R3a N40 N36 5k TC=0.0, 0.0
R4a 0 N34 5k TC=0.0, 0.0
R5a N34 gaout 20k TC=0.0, 0.0
Vdd N39 0 2.5

```

```

Vss 0 N38 2.5
.tran 1n 40u
v0 vstep 0 pulse(0.0 4m 1.5u 10n 10n 39u 40u)
v1 reset N38 pulse(0 5 0 10n 10n 1u 39u)
* End of main circuit
.end

```

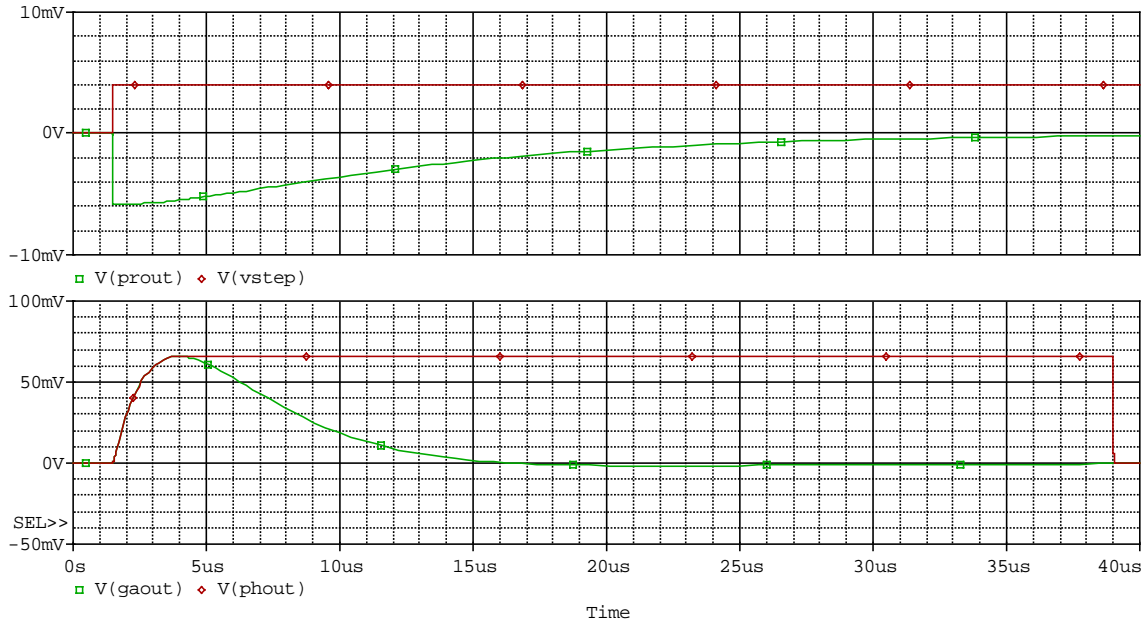


Figure 10: Response of the circuit.

なお、パルス整形の方式は、本文記載の方式にかぎられるものではなく、高次のローパスフィルターを用いる方式、遅延線を用いる方式、さらには、SC回路を用いる多重サンプリング方式等、種々の方式がある。それぞれ、解析的には、等価な性能を達成する可能性を留保する一方、実用的には、特有の特徴を有する。

The pulse-shaping scheme described so far is not necessarily a unique solution of pulse shaping. There exist other configurations, such as the higher order low-pass filter, the delay-line pulse-shaping scheme, the multi-correlated discrete sampling scheme, and so forth. While each scheme could achieve a more or less equivalent performance, the practice for each scheme might claim specific advantages.

A Notice

レポート課題 (3)

1) 図 6 記載の回路は、対応する SPICE ネットリストの定数を用いて解析的に波高値を求めると 293 mV となることを示して下さい。併せて、当該 SPICE シミュレーションにおける波高値が 250 mV 程度にとどまっている理由について考察して下さい。

Subject for report (3)

1) Show that the pulse height for the circuit shown in Fig. 6 should be 293 mV by employing the parameters described in the corresponding SPICE netlist. At the same time, discuss a reason why the SPICE simulation shows smaller value, i.e. about 250 mV , than the analytical estimation.

2) 図9記載の回路に対応するSPICE ネットリストによって波高を求めると、図6記載の回路よりもかなり小さい波高値しか得られません。また、整形増幅器の出力は、微妙にオーバーシュートしているようです。そこで、 $R2a$ 、 $R3a$ 、 $R4a$ 、及び $R5a$ を調整することにより、前記二つの回路につき同等の出力信号が得られるようにして下さい。

なお、図6と図9に対応するPSpiceのネットリストを T004.sim.cir、T005.sim.cir として配信メールに添付しました。

以上

The pulse response for the circuit shown in Fig. 9 is much smaller than that of the circuit shown in Fig. 6; and some overshoot is observed in Fig. 10, while no obvious overshoot is observed for Fig.7.

Then adjust the parameters $R2a$, $R3a$, $R4a$ and $R5a$ so as to obtain a compatible result between the two circuits.

The SPICE netlists for Fig. 6 and Fig. 9 which are compatible with PSpice are attached on the E-mail; the file names are T004.sim.cir and T005.sim.cir.