

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(14)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

初版：平成 17 年 12 月 20 日

---

## 概要

本文書は、沖電気工業株式会社の提供する  $0.15\ \mu\text{m}$  FD SOI CMOS プロセス用に調整された IP を提供するものです。「高度センサー信号処理のための Analog-VLSI Open-IP(13)」では賄いきれていない部分をカバーすることを目的としています。

## 目次

1 論理回路の IP	260
2 フリップフロップ回路の IP	269

## 表目次

## 図目次

1 論理ゲートのシンボル一覧（追加分）	260
2 NANDPBF 回路（ボディーフロート）	261
3 NANDP 回路（ボディータイ）	261
4 NAND3PBF 回路（ボディーフロート）	262
5 NAND3P 回路（ボディータイ）	262
6 NAND5PBF 回路（ボディーフロート）	263
7 NAND5P 回路（ボディータイ）	263
8 NORPBF 回路（ボディーフロート）	264
9 NORP 回路（ボディータイ）	264
10 NOR4PBF 回路（ボディーフロート）	265
11 NOR4P 回路（ボディータイ）	265
12 AND2P 回路	266
13 AND3P 回路	266
14 AND5P 回路	266
15 フリップフロップ回路及びその構成要素のシンボル一覧	270

---

\*ikedada.hirokazu@jaxa.jp

16	INVG1 回路	270
17	SWG2 回路	271
18	INVG3 回路	271
19	INVG4 回路	271
20	INVG5 回路	272
21	INVG6 回路	272
22	AO22 回路	273
23	DFFX 回路	273
24	DFFR 回路	274
25	EDFFR 回路	274
26	LATCH 回路	275

## 1 論理回路の IP

図 1 には、追加的に NANDPBF 回路 (図 2)、 NANDP 回路 ((図 3)、 NAND3PBF 回路 (図 4)、 NAND3P 回路 (図 5)、 NAND5PBF 回路 (図 6)、 NAND5P 回路 (図 7)、 NORPBF 回路 (図 8)、 NORP 回路 (図 9)、 NOR4PBF 回路 (図 10)、 NOR4P 回路 (図 11)、 AND2P 回路 (図 12)、 AND3P 回路 (図 13) 及び AND5P 回路 (図 14) のシンボルを掲げた。NANDPBF 回路と NANDP 回路は 2 入力のナンド回路である。NAND3PBF 回路と NAND3P 回路は、3 入力のナンド回路である。NAND5PBF 回路と NAND5P 回路は、5 入力のナンド回路である。NORPBF 回路と NORP 回路は、2 入力のノア回路である。NOR4PBF 回路と NOR4P 回路は、4 入力のノア回路である。AND2P 回路、AND3P 回路、AND5P 回路は、それぞれ 2 入力、3 入力、5 入力のアンド回路である。

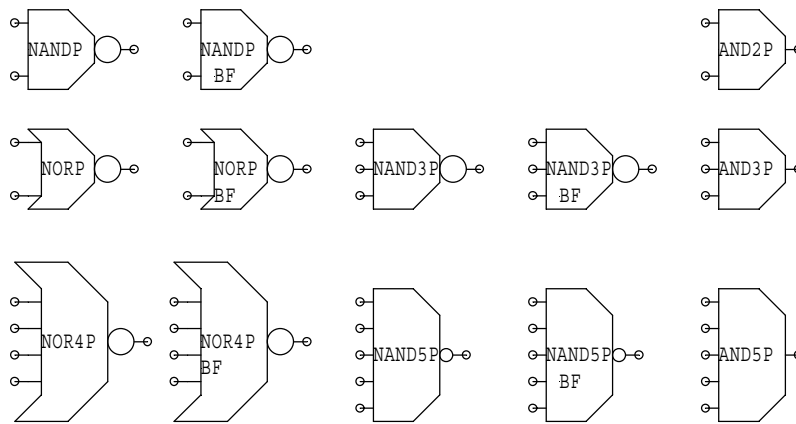


図 1: 論理ゲートのシンボル一覧 (追加分)

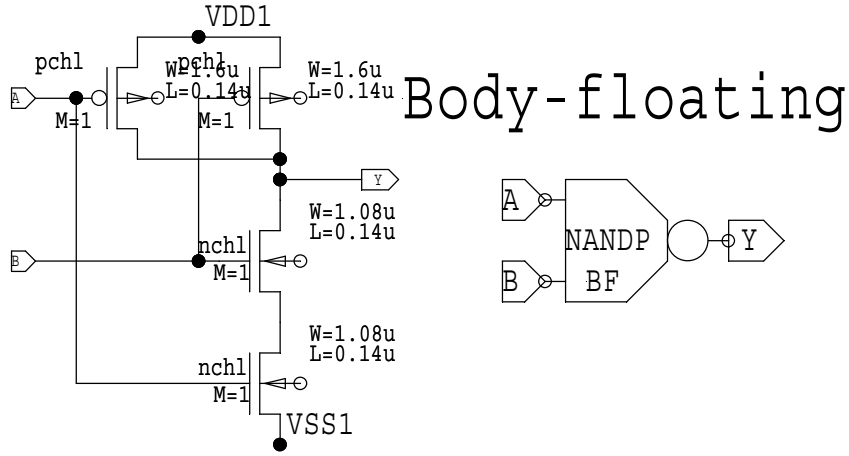


図 2: NANDPBF 回路 (ボディーフロート)

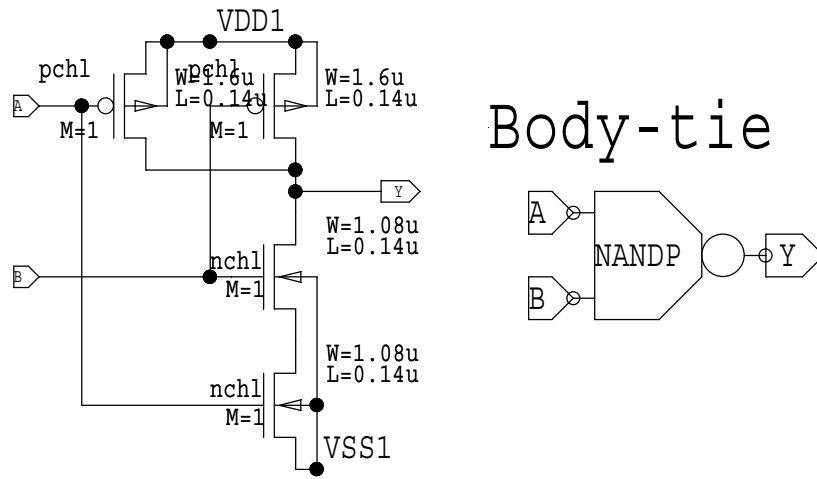


図 3: NANDP 回路 (ボディータイ)

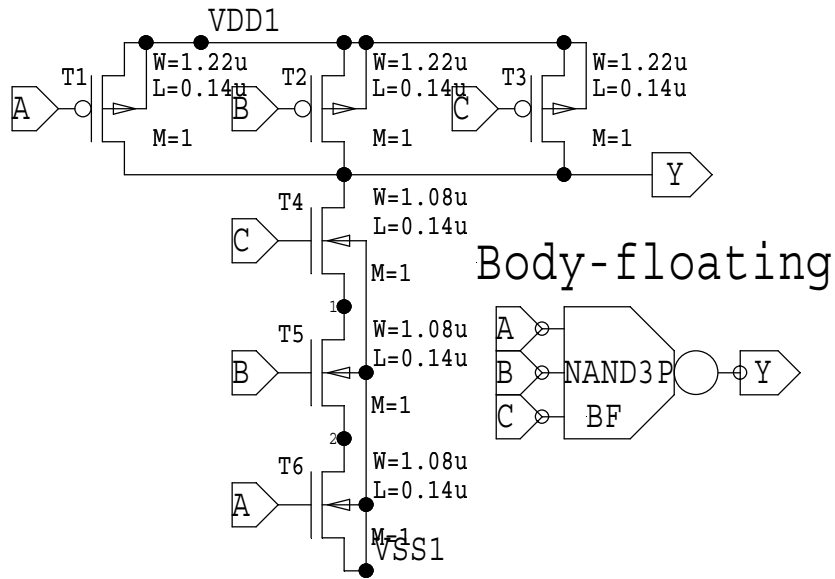


図 4: NAND3PBF 回路 (ボディーフロート)

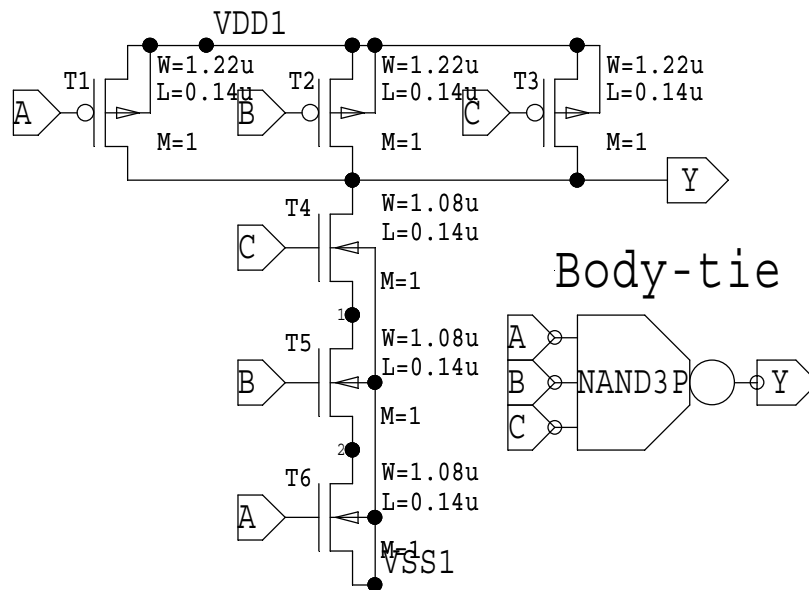


図 5: NAND3P 回路 (ボディータイ)

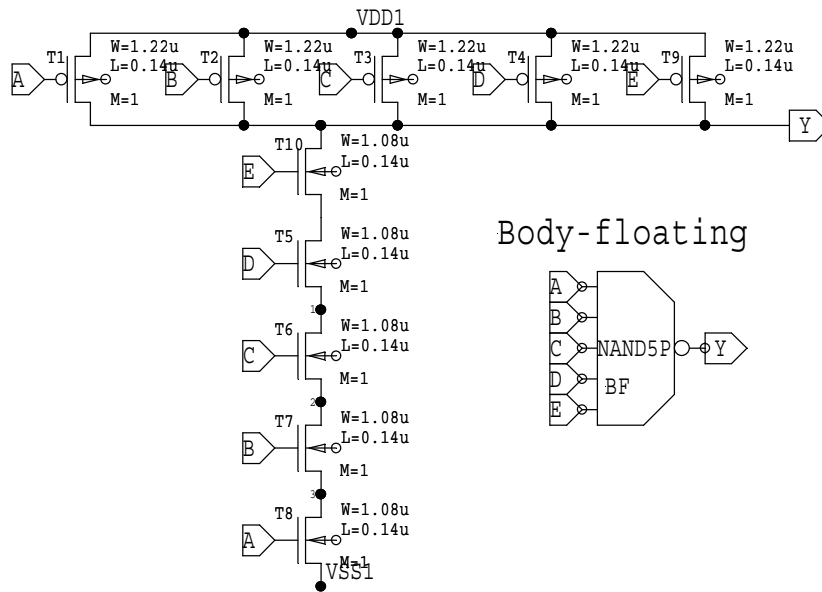


図 6: NAND5PBF 回路 (ボディーフロート)

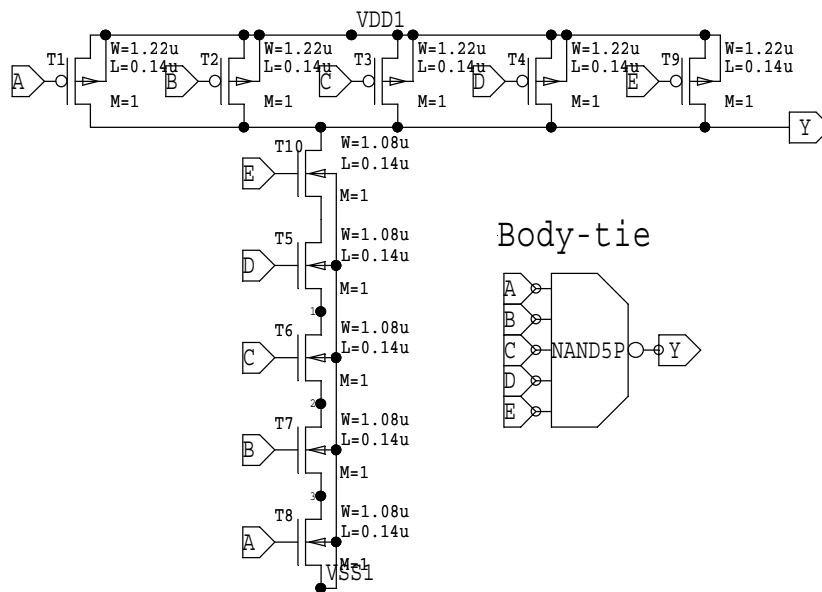


図 7: NAND5P 回路 (ボディータイ)

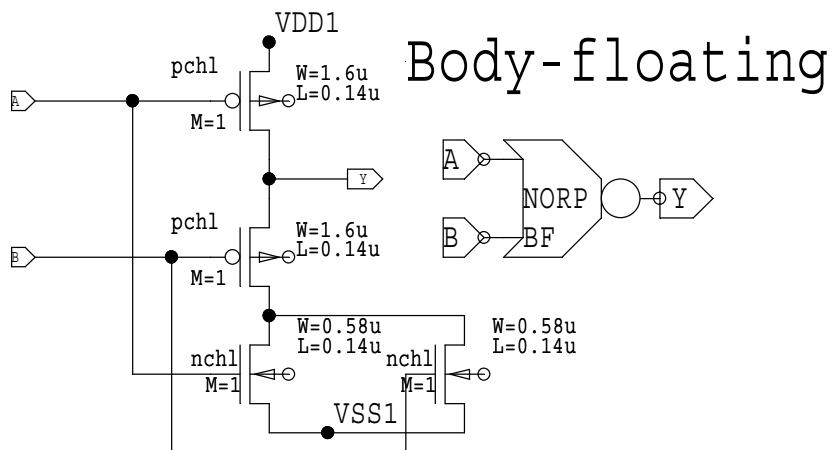


図 8: NORPBF 回路 (ボディーフロート)

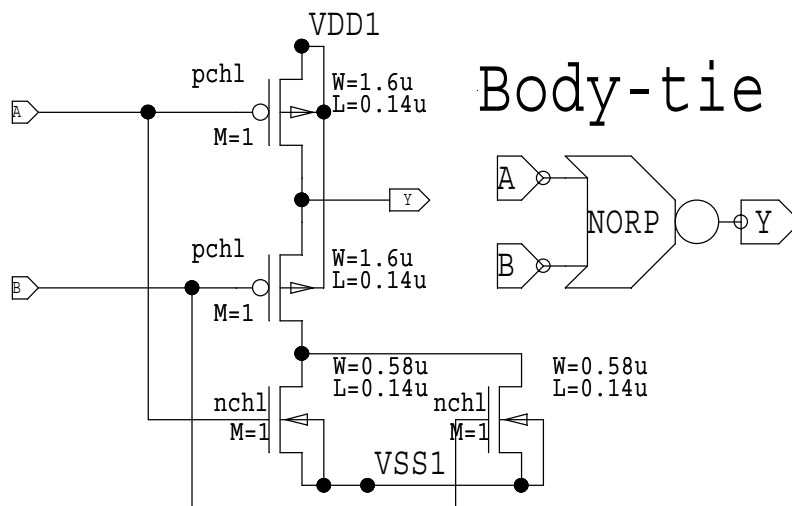


図 9: NORP 回路 (ボディータイ)

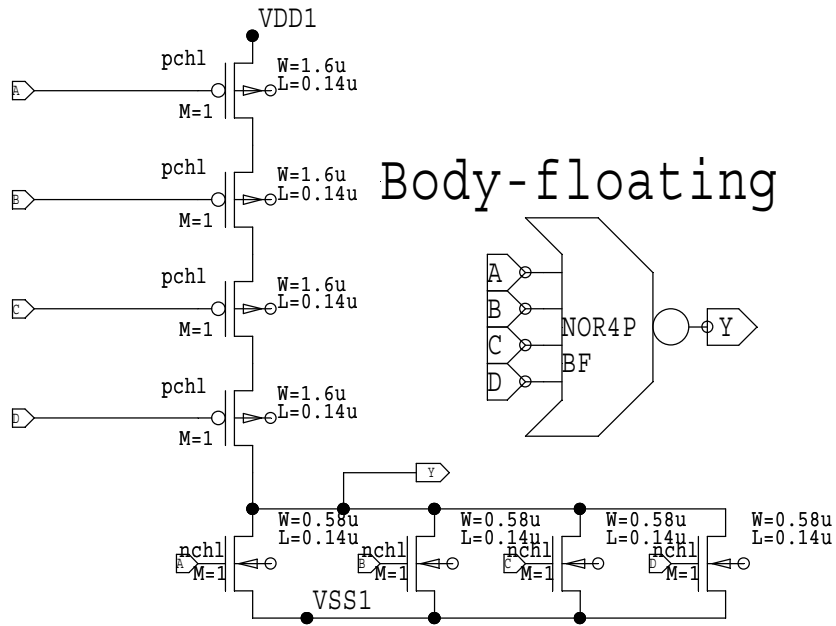


図 10: NOR4PBF 回路 ( ボディーフロート )

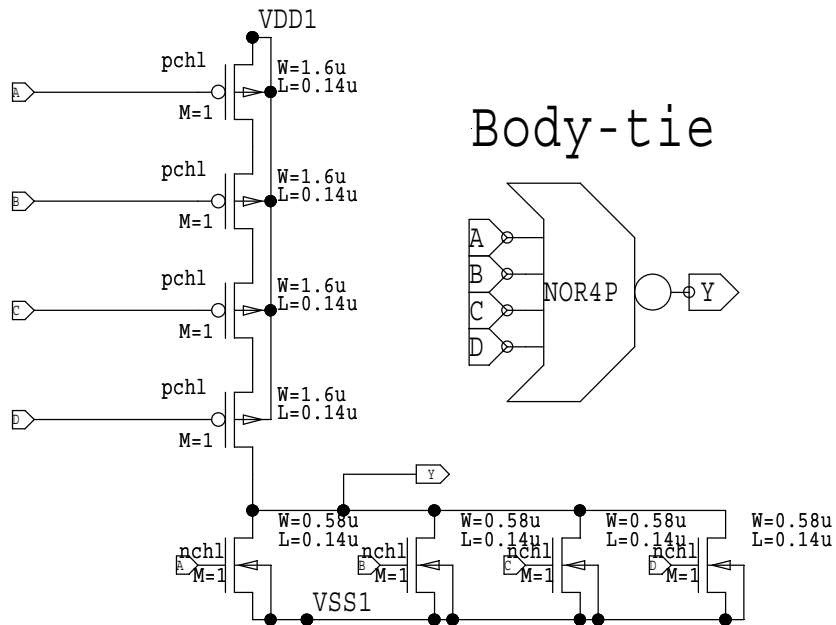


図 11: NOR4P 回路 ( ボディータイ )

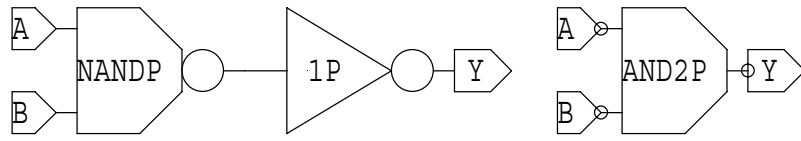


图 12: AND2P 回路

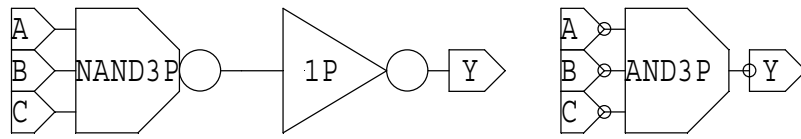


图 13: AND3P 回路

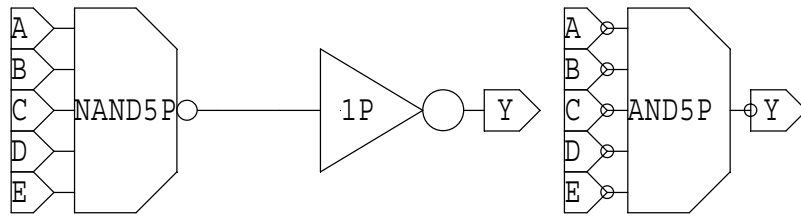


图 14: AND5P 回路



以下に各回路ブロックのネットリストを示す。

```
.SUBCKT NANDP A B Y
M1 N1 A VSS1 VSS1 nchl L=0.14u W=1.08u M=1
M2 Y B N1 VSS1 nchl L=0.14u W=1.08u M=1
M3 Y A VDD1 VDD1 pchl L=0.14u W=1.6u M=1
M4 Y B VDD1 VDD1 pchl L=0.14u W=1.6u M=1
.ENDS
```

```
.SUBCKT AND2P A B Y
Xinv1P_1 N2 Y inv1P
XNANDP_1 A B N2 NANDP
.ENDS
```

```
.SUBCKT NAND3P A B C Y
M4 Y C 1 VSS1 nch W=1.08u L=0.14u M=1
M5 1 B 2 VSS1 nch W=1.08u L=0.14u M=1
M6 2 A VSS1 VSS1 nch W=1.08u L=0.14u M=1
M1 Y A VDD1 VDD1 pch W=1.22u L=0.14u M=1
M2 Y B VDD1 VDD1 pch W=1.22u L=0.14u M=1
M3 Y C VDD1 VDD1 pch W=1.22u L=0.14u M=1
.ENDS
```

```
.SUBCKT AND3P A B C Y
Xinv1P_1 N2 Y inv1P
XNAND3P_1 A B C N2 NAND3P
.ENDS
```

```
.SUBCKT NAND5P A B C D E Y
M5 N2 D 1 VSS1 nch W=1.08u L=0.14u M=1
M6 1 C 2 VSS1 nch W=1.08u L=0.14u M=1
M7 2 B 3 VSS1 nch W=1.08u L=0.14u M=1
M8 3 A VSS1 VSS1 nch W=1.08u L=0.14u M=1
M10 Y E N2 VSS1 nch W=1.08u L=0.14u M=1
M1 Y A VDD1 VDD1 pch W=1.22u L=0.14u M=1
M2 Y B VDD1 VDD1 pch W=1.22u L=0.14u M=1
M3 Y C VDD1 VDD1 pch W=1.22u L=0.14u M=1
M4 Y D VDD1 VDD1 pch W=1.22u L=0.14u M=1
M9 Y E VDD1 VDD1 pch W=1.22u L=0.14u M=1
.ENDS
```

```
.SUBCKT AND5P A B C D E Y
Xinv1P_1 N3 Y inv1P
XNAND5P_1 A B C D E N3 NAND5P
```

.ENDS

.SUBCKT NAND3PBF A B C Y

M4 Y C 1 VSS1 nch W=1.08u L=0.14u M=1  
M5 1 B 2 VSS1 nch W=1.08u L=0.14u M=1  
M6 2 A VSS1 VSS1 nch W=1.08u L=0.14u M=1  
M1 Y A VDD1 VDD1 pch W=1.22u L=0.14u M=1  
M2 Y B VDD1 VDD1 pch W=1.22u L=0.14u M=1  
M3 Y C VDD1 VDD1 pch W=1.22u L=0.14u M=1

.ENDS

.SUBCKT NAND5PBF A B C D E Y

M5 N3 D 1 N2 nch W=1.08u L=0.14u M=1  
M6 1 C 2 N4 nch W=1.08u L=0.14u M=1  
M7 2 B 3 N5 nch W=1.08u L=0.14u M=1  
M8 3 A VSS1 N6 nch W=1.08u L=0.14u M=1  
M10 Y E N3 N1 nch W=1.08u L=0.14u M=1  
M1 Y A VDD1 N7 pch W=1.22u L=0.14u M=1  
M2 Y B VDD1 N8 pch W=1.22u L=0.14u M=1  
M3 Y C VDD1 N9 pch W=1.22u L=0.14u M=1  
M4 Y D VDD1 N10 pch W=1.22u L=0.14u M=1  
M9 Y E VDD1 N11 pch W=1.22u L=0.14u M=1

.ENDS

.SUBCKT NANDPBF A B Y

M1 N9 A VSS1 N4 nchl L=0.14u W=1.08u M=1  
M2 Y B N9 N3 nchl L=0.14u W=1.08u M=1  
M3 Y A VDD1 N1 pchl L=0.14u W=1.6u M=1  
M4 Y B VDD1 N2 pchl L=0.14u W=1.6u M=1

.ENDS

.SUBCKT NOR4PBF A B C D Y

M1 Y A VSS1 N15 nchl L=0.14u W=0.58u M=1  
M2 Y B VSS1 N4 nchl L=0.14u W=0.58u M=1  
M3 Y C VSS1 N16 nchl L=0.14u W=0.58u M=1  
M4 Y D VSS1 N20 nchl L=0.14u W=0.58u M=1  
M5 Y D N6 N11 pchl L=0.14u W=1.6u M=1  
M6 N6 C N1 N8 pchl L=0.14u W=1.6u M=1  
M7 N1 B N2 N5 pchl L=0.14u W=1.6u M=1  
M8 N2 A VDD1 N9 pchl L=0.14u W=1.6u M=1

.ENDS

.SUBCKT NOR4P A B C D Y

```

M1 Y A VSS1 VSS1 nchl L=0.14u W=0.58u M=1
M2 Y B VSS1 VSS1 nchl L=0.14u W=0.58u M=1
M3 Y C VSS1 VSS1 nchl L=0.14u W=0.58u M=1
M4 Y D VSS1 VSS1 nchl L=0.14u W=0.58u M=1
M5 Y D N21 VDD1 pchl L=0.14u W=1.6u M=1
M6 N21 C N14 VDD1 pchl L=0.14u W=1.6u M=1
M7 N14 B N11 VDD1 pchl L=0.14u W=1.6u M=1
M8 N11 A VDD1 VDD1 pchl L=0.14u W=1.6u M=1
.ENDS

```

```

.SUBCKT NORPBF A B Y
M1 N3 A VSS1 N2 nchl L=0.14u W=0.58u M=1
M2 N3 B VSS1 N7 nchl L=0.14u W=0.58u M=1
M3 N3 B Y N1 pchl L=0.14u W=1.6u M=1
M4 Y A VDD1 N4 pchl L=0.14u W=1.6u M=1
.ENDS

```

```

.SUBCKT NORP A B Y
M1 N11 A VSS1 VSS1 nchl L=0.14u W=0.58u M=1
M2 N11 B VSS1 VSS1 nchl L=0.14u W=0.58u M=1
M3 N11 B Y VDD1 pchl L=0.14u W=1.6u M=1
M4 Y A VDD1 VDD1 pchl L=0.14u W=1.6u M=1
.ENDS

```

## 2 フリップフロップ回路のIP

図 15 には、フリップフロップ回路を構成する回路要素の一覧を掲げた。

これらの回路要素は、専らフリップフロップ回路の内部において用いられるものであるから単独で用いられることを予定していないことに注意されたい。

フリップフロップ回路として、三種類の回路が掲げてある。DFFX 回路 (図 23) は、基本となる D 型 FF 回路である。DFFX 回路に非同期リセット機能を持たせたものが DFFR 回路 (図 24) である。また、いわゆるイネーブル端子付き DFF として構成したものが EDFFR (図 25) である。

DFFX 回路はいわゆるマスタースレーブの構成となっているが、この回路の前半部分を切り出したものが LATCH 回路 (図 26) である。

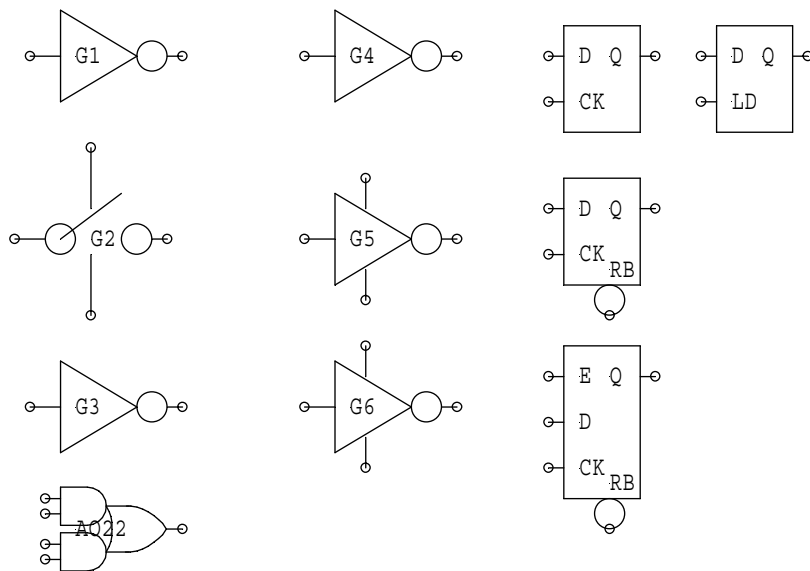


図 15: フリップフロップ回路及びその構成要素のシンボル一覧

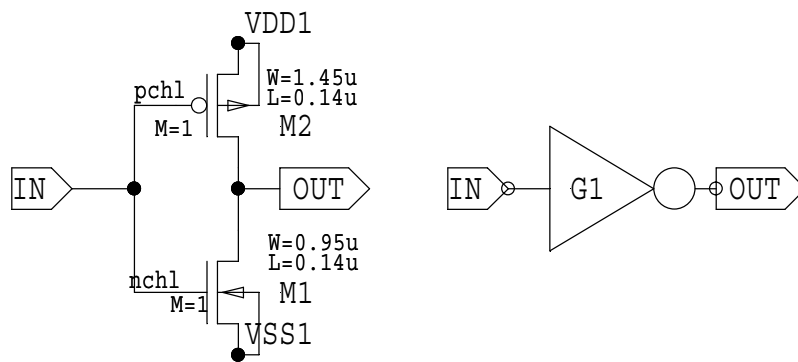


図 16: INVG1 回路

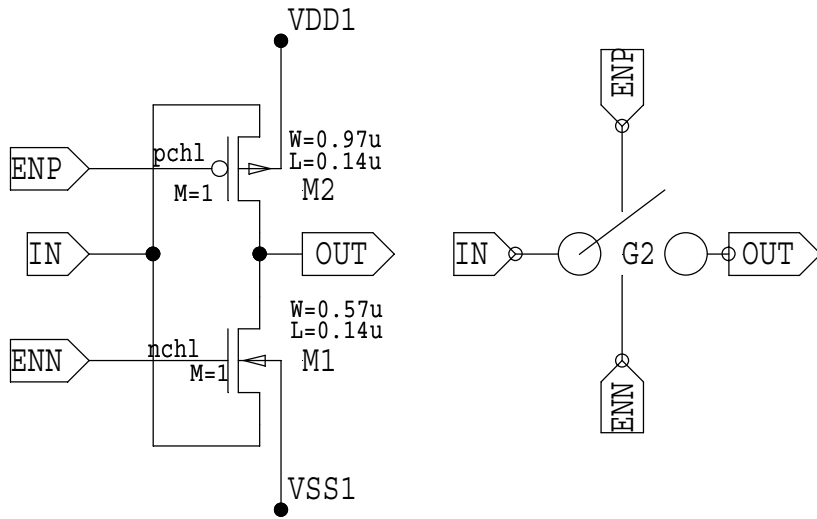


图 17: SWG2 回路

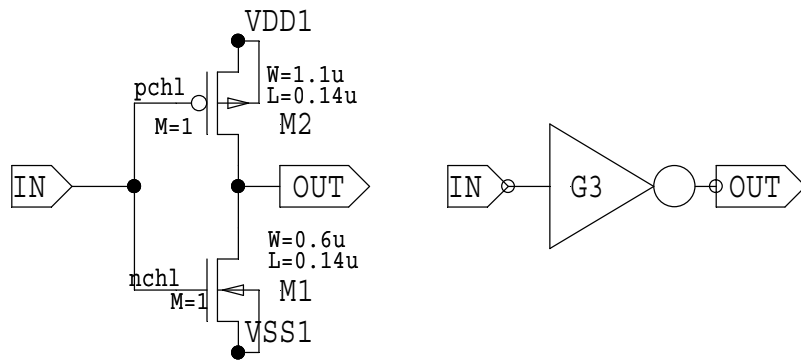


图 18: INVG3 回路

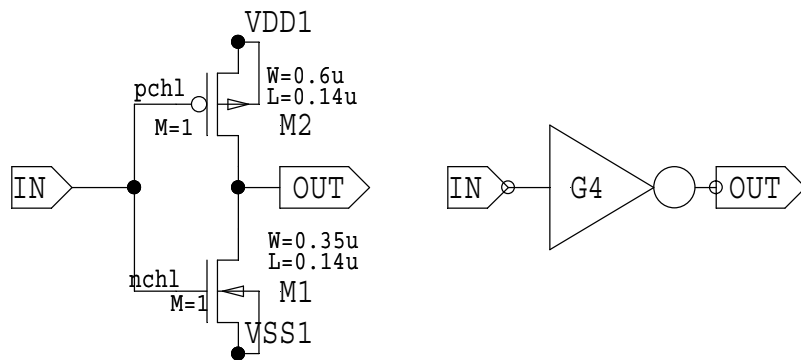


图 19: INVG4 回路

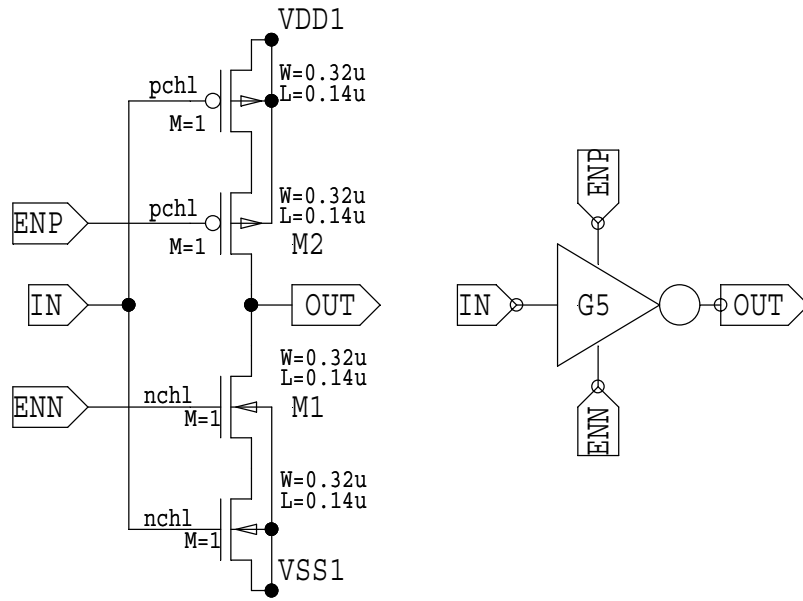


图 20: INVG5 回路

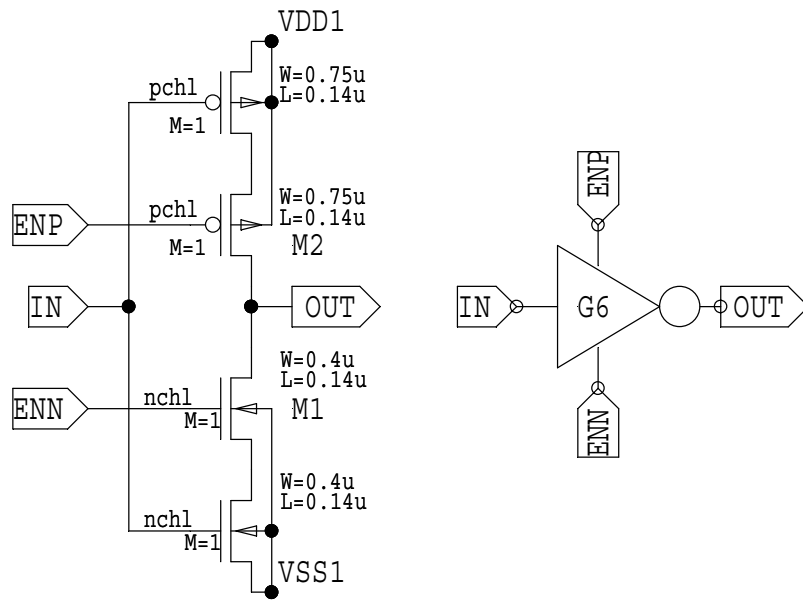


图 21: INVG6 回路

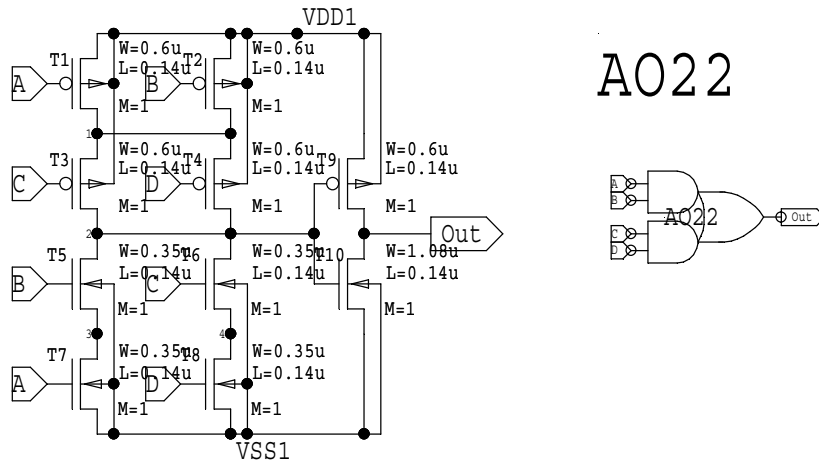


图 22: AO22 回路

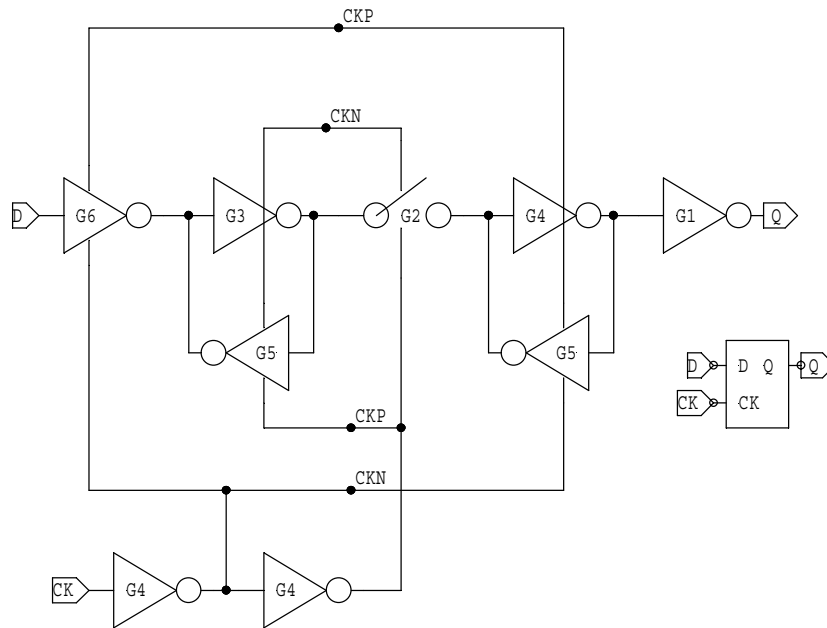


图 23: DFFX 回路

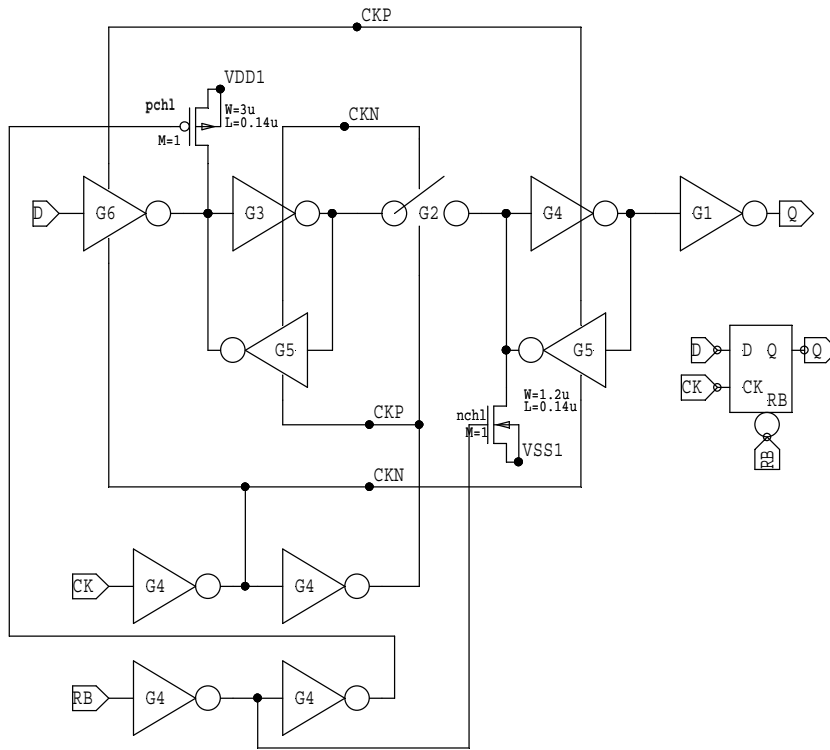


图 24: DFFR 回路

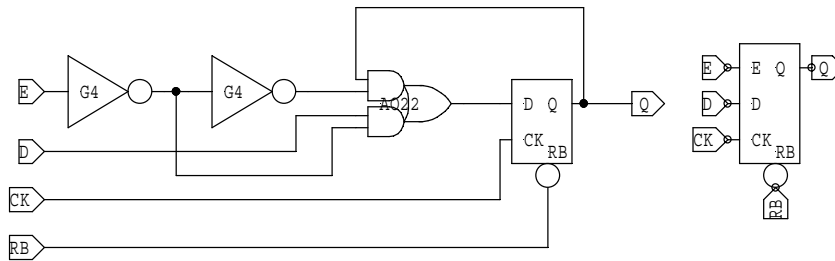


图 25: EDFFR 回路



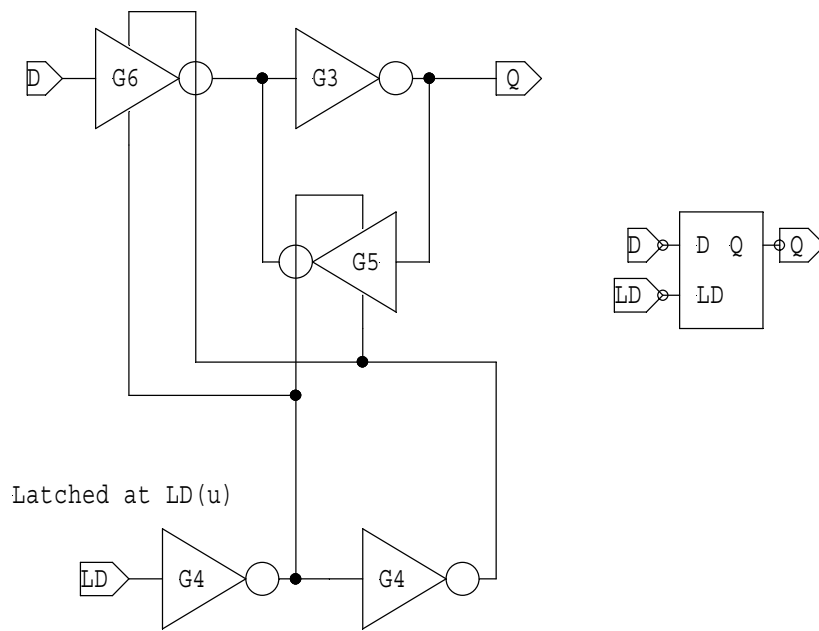


图 26: LATCH 回路

以下に各回路ブロックのネットリストを示す。

```
.SUBCKT A022 A B C D Out
M5 2 B 3 VSS1 nch W=0.35u L=0.14u M=1
M7 3 A VSS1 VSS1 nch W=0.35u L=0.14u M=1
M6 2 C 4 VSS1 nch W=0.35u L=0.14u M=1
M8 4 D VSS1 VSS1 nch W=0.35u L=0.14u M=1
M10 Out 2 VSS1 VSS1 nch W=1.08u L=0.14u M=1
M1 1 A VDD1 VDD1 pch W=0.6u L=0.14u M=1
M3 2 C 1 VDD1 pch W=0.6u L=0.14u M=1
M2 1 B VDD1 VDD1 pch W=0.6u L=0.14u M=1
M4 2 D 1 VDD1 pch W=0.6u L=0.14u M=1
M9 Out 2 VDD1 VDD1 pch W=0.6u L=0.14u M=1
.ENDS
```

```
.SUBCKT invG1 IN OUT
M1 OUT IN VSS1 VSS1 nchl L=0.14u W=0.95u M=1
M2 OUT IN VDD1 VDD1 pchl L=0.14u W=1.45u M=1
.ENDS
```

```
.SUBCKT invG3 IN OUT
M1 OUT IN VSS1 VSS1 nchl L=0.14u W=0.6u M=1
M2 OUT IN VDD1 VDD1 pchl L=0.14u W=1.1u M=1
.ENDS
```

```
.SUBCKT invG4 IN OUT
M1 OUT IN VSS1 VSS1 nchl L=0.14u W=0.35u M=1
M2 OUT IN VDD1 VDD1 pchl L=0.14u W=0.6u M=1
.ENDS
```

```
.SUBCKT invG5 ENN ENP IN OUT
M1 OUT ENN N1 VSS1 nchl L=0.14u W=0.32u M=1
M2 OUT ENP N5 VDD1 pchl L=0.14u W=0.32u M=1
M3 N1 IN VSS1 VSS1 nchl L=0.14u W=0.32u M=1
M4 N5 IN VDD1 VDD1 pchl L=0.14u W=0.32u M=1
.ENDS
```

```
.SUBCKT invG6 ENN ENP IN OUT
M1 OUT ENN N1 VSS1 nchl L=0.14u W=0.4u M=1
M2 OUT ENP N5 VDD1 pchl L=0.14u W=0.75u M=1
M3 N1 IN VSS1 VSS1 nchl L=0.14u W=0.4u M=1
M4 N5 IN VDD1 VDD1 pchl L=0.14u W=0.75u M=1
.ENDS
```

```
.SUBCKT swG2 ENN ENP IN OUT
M1 OUT ENN IN VSS1 nchl L=0.14u W=0.57u M=1
M2 OUT ENP IN VDD1 pchl L=0.14u W=0.97u M=1
.ENDS
```

```
.SUBCKT DFFR CK D Q RB
XinvG1_1 N17 Q invG1
XinvG3_1 N16 N15 invG3
XinvG4_1 N27 N17 invG4
XinvG4_2 CK CKN invG4
XinvG4_3 CKN CKP invG4
XinvG4_4 RB N3 invG4
XinvG4_5 N3 N1 invG4
XinvG5_1 CKP CKN N15 N16 invG5
XinvG5_2 CKN CKP N17 N27 invG5
XinvG6_1 CKN CKP D N16 invG6
M1 N27 N3 VSS1 VSS1 nchl L=0.14u W=1.2u M=1
M2 N16 N1 VDD1 VDD1 pchl L=0.14u W=3u M=1
XswG2_1 CKP CKN N15 N27 swG2
.ENDS
```

```
.SUBCKT DFFX CK D Q
XinvG1_1 N14 Q invG1
XinvG3_1 N4 N5 invG3
XinvG4_1 N1 N14 invG4
XinvG4_2 CK CKN invG4
XinvG4_3 CKN CKP invG4
XinvG5_1 CKP CKN N5 N4 invG5
XinvG5_2 CKN CKP N14 N1 invG5
XinvG6_1 CKN CKP D N4 invG6
XswG2_1 CKP CKN N5 N1 swG2
.ENDS
```

```
.SUBCKT EDFFR CK D E Q RB
XAO22_1 Q N6 D N2 N1 AO22
XDFFR_1 CK N1 Q RB DFFR
XinvG4_1 N2 N6 invG4
XinvG4_2 E N2 invG4
.ENDS
```

```
.SUBCKT LATCH D LD Q
XinvG3_1 N1 Q invG3
XinvG4_2 LD N3 invG4
```

```
XinvG4_3 N3 N4 invG4  
XinvG5_1 N4 N3 Q N1 invG5  
XinvG6_1 N3 N4 D N1 invG6  
.ENDS
```

以上