

---

# 高度センサー信号処理のための Analog-VLSI Open-IP(4)

池田 博一\*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 17 日

---

## 概要

高機能高性能の Analog-VLSI を短期間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 4 章では、増幅器回路、抵抗回路等において用いられている定電流源に基準電圧を供給するための IP を提示致します。

## 目次

1 バイアス回路	64
A 来歴	72

## 表目次

1 バイアス回路 IP	65
-------------	----

## 図目次

1 バイアス回路のシンボル一覧	65
2 BIAS 回路	66
3 BIASP 回路	66
4 BIAS1 回路	67
5 BIAS2 回路	67
6 BIAS4 回路	68
7 BIAS8 回路	68
8 BIASF 回路	69
9 BIASGEN 回路	69

## 1 バイアス回路

バイアス回路とは、増幅要素、抵抗回路要素等において用いられている定電流源のための基準電圧を発生する回路をいいます。

---

\*ikedata.hirokazu@jaxa.jp

増幅要素、抵抗回路等においては、一定の関係を有する複数の定電流源を有しています。これらの定電流源は、一般的には、カスコードトランジスタを伴ったソース接地のトランジスタから構成されており、そのゲートに一定の電圧を印加することにより定電流源として動作するようになっています。

しかし、ドレイン電流は、ゲート電圧によって敏感に変動するため、ゲート電圧を外部から直接印加することにより定電流源の電流値を制御することは困難です。また、プロセス変動により当該電圧値は微妙に変動します。

そこで、外部から基準となる電流を印加し、これによって間接的に所要のゲート電圧を発生する回路を設けることが便宜です。

このような回路として、バイアス回路を用意しました。バイアス回路は、VDD 側の定電流源 (source) である PMOS トランジスタのゲートに印加する電圧  $V_H$  と、VSS 側の定電流源 (sink) である NMOS トランジスタのゲートに印加する電圧  $V_L$  と、カスコードトランジスタのゲートに印加する電圧 ( $V_M$ ) とを供給するようになっています。 $V_M$  は、GND と同一の電位ですが、GND を経由した、信号チェインの上流下流間の干渉を防止するため、及びゲートの静電気破壊を防止するため  $1\text{ k}\Omega$  の抵抗が直列に挿入されています。

また、表 1 には、本 IP におけるバイアス回路の名称と、それらの機能の概略をまとめました。

表 1: バイアス回路 IP

回路名称	用途	具体的適用
BIAS	1:1/10 の基準電圧発生回路	増幅器のバイアス用
BIASP	1:1/10 の基準電圧発生回路	ロジックインターフェース用
BIAS1	1:1/10 の基準電圧発生回路	バイアス電流を電圧に変換
BIAS2	1:1/2 の基準電流発生回路	バイアス電流の減衰調整
BIAS4	1:1/4 の基準電流発生回路	バイアス電流の減衰調整
BIAS8	1:1/8 の基準電流発生回路	バイアス電流の減衰調整
BIASF	1:10/D(0:3) の基準電流発生回路	バイアス電流の減衰調整
BIASGEN	BIAS 回路に電流分配機能を付加	バイアス電流の分配

図 1 には、これらのバイアス回路のシンボルの一覧を掲げました。

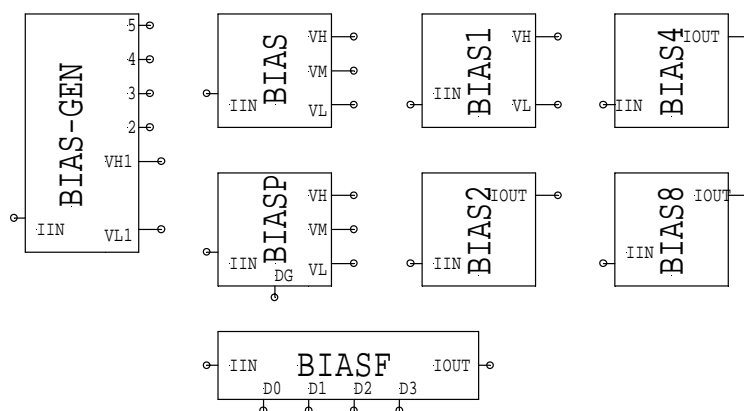


図 1: バイアス回路のシンボル一覧

以下、各回路の回路図面を掲げます。

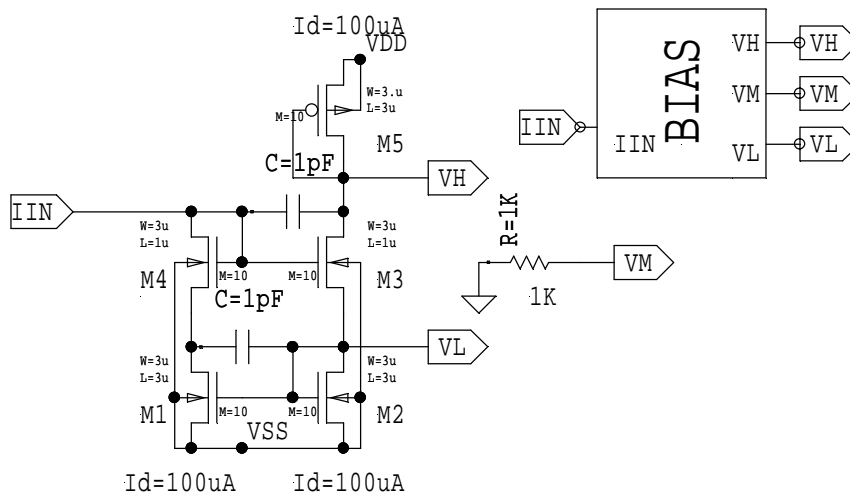


図 2: BIAS 回路

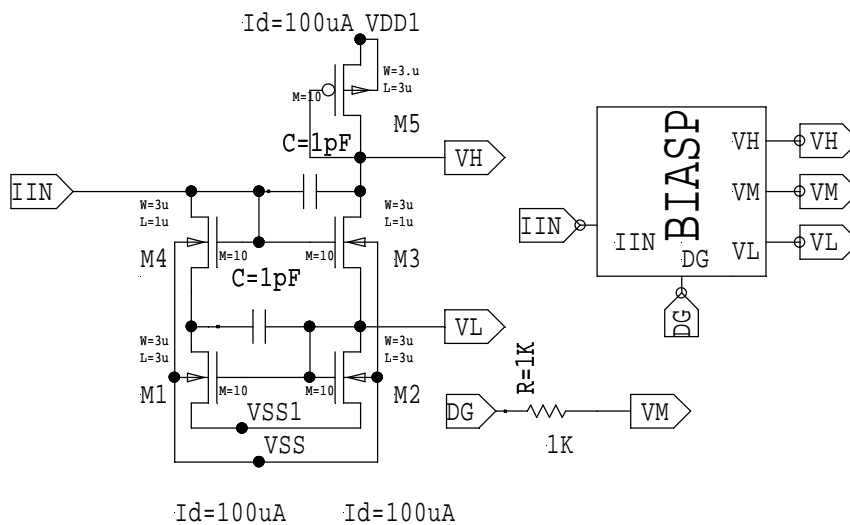


図 3: BIASP 回路

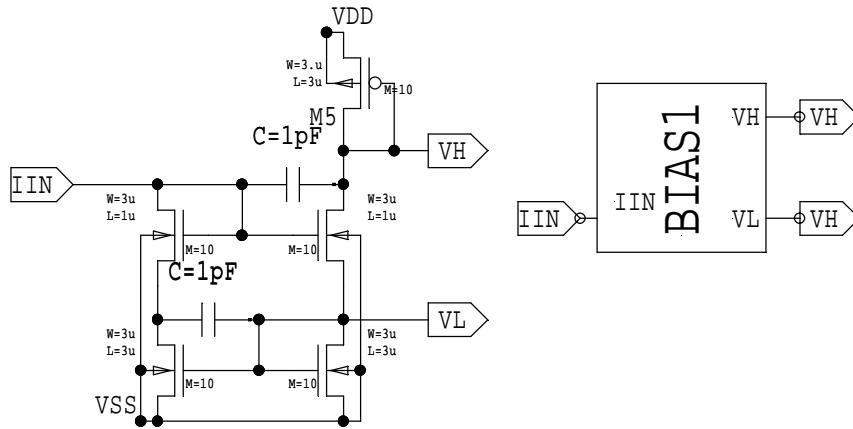


图 4: BIAS1 回路

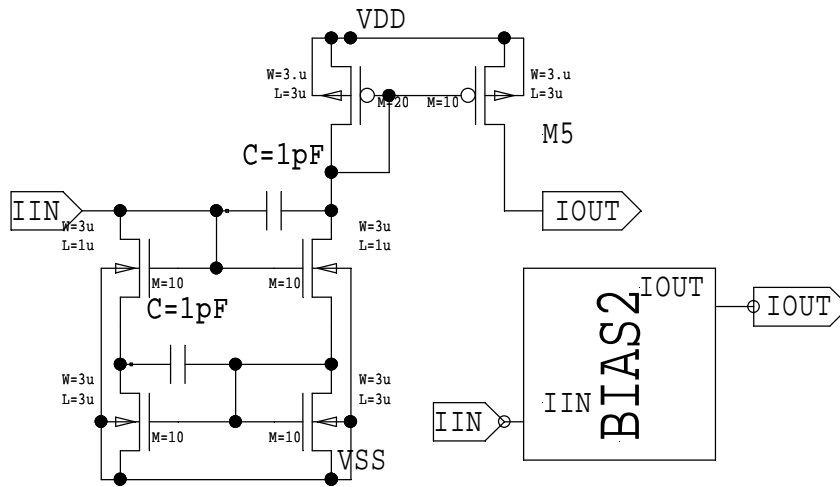


图 5: BIAS2 回路

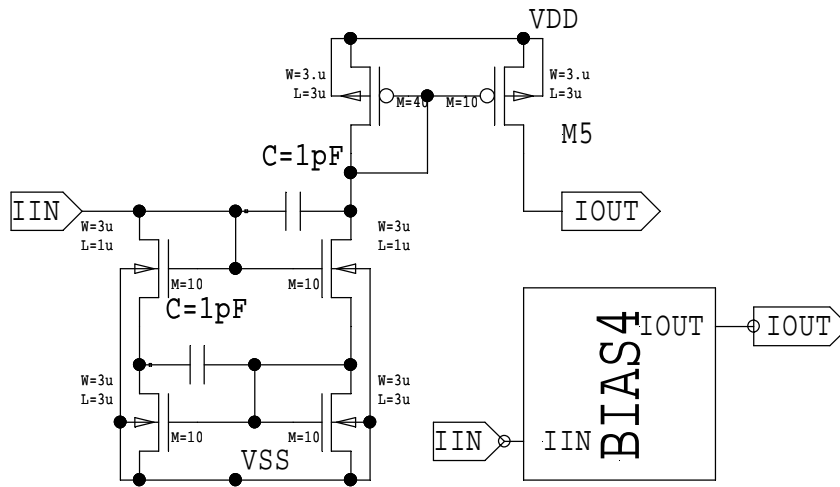


图 6: BIAS4 回路

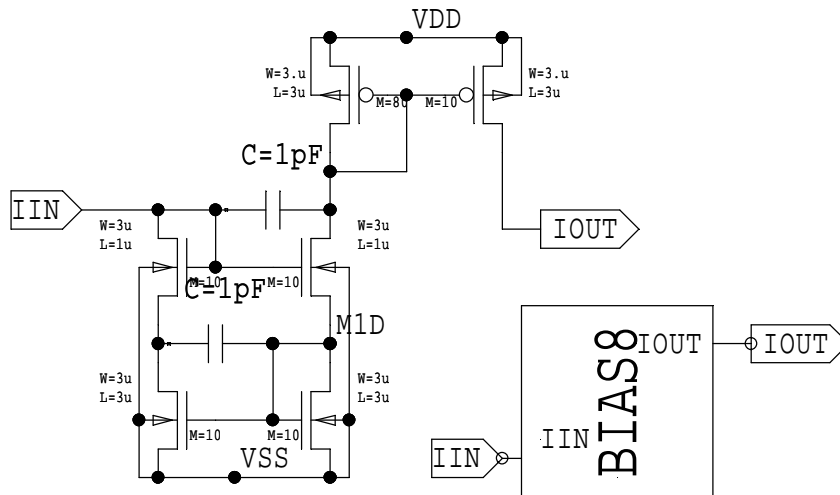


图 7: BIAS8 回路

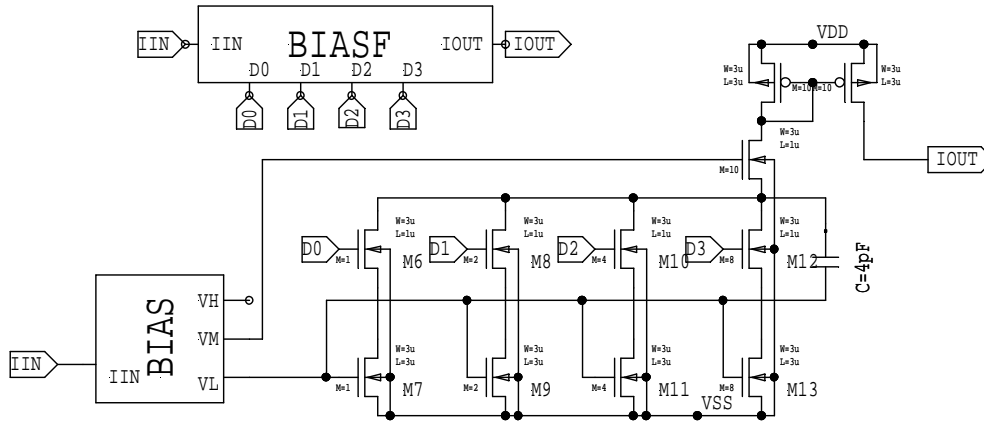


图 8: BIASF 回路

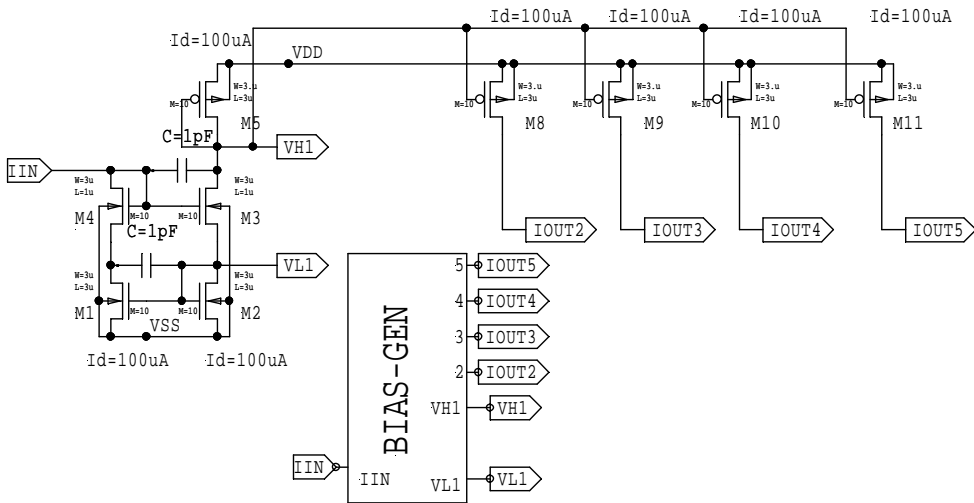


图 9: BIASGEN 回路

以下に上記 IP のネットリストを掲げました。

```
.SUBCKT BIAS IIN VH VL VM Gnd
C1 IIN VH 1pF
C2 N2 VL 1pF
M4 IIN IIN N2 VSS nch L=1u W=3u M=10
M3 VH IIN VL VSS nch L=1u W=3u M=10
M2 VL VL VSS VSS nch L=3u W=3u M=10
M1 N2 VL VSS VSS nch L=3u W=3u M=10
M5 VH VH VDD VDD pch L=3u W=3.u M=10
R3 Gnd VM 1K TC=0.0, 0.0
.ENDS

.SUBCKT BIASP DG IIN VH VL VM
C1 IIN VH 1pF
C2 N8 VL 1pF
M4 IIN IIN N8 VSS nch L=1u W=3u M=10
M3 VH IIN VL VSS nch L=1u W=3u M=10
M2 VL VL VSS1 VSS nch L=3u W=3u M=10
M1 N8 VL VSS1 VSS nch L=3u W=3u M=10
M5 VH VH VDD1 VDD1 pch L=3u W=3.u M=10
R3 DG VM 1K TC=0.0, 0.0
.ENDS

.SUBCKT BIAS1 IIN VH VL
M1 VL VL VSS VSS nch L=3u W=3u M=10
M2 VH IIN VL VSS nch L=1u W=3u M=10
M3 VH VH VDD VDD pch L=3u W=3.u M=10
C4 VH IIN 1pF
C5 VL N3 1pF
M6 IIN IIN N3 VSS nch L=1u W=3u M=10
M7 N3 VL VSS VSS nch L=3u W=3u M=10
.ENDS

.SUBCKT BIAS2 IIN IOOUT
C1 N2 N5 1pF
C2 IIN N3 1pF
M3 N2 N5 VSS VSS nch L=3u W=3u M=10
M4 IIN IIN N2 VSS nch L=1u W=3u M=10
M5 N5 N5 VSS VSS nch L=3u W=3u M=10
M6 N3 IIN N5 VSS nch L=1u W=3u M=10
M7 IOOUT N3 VDD VDD pch L=3u W=3.u M=10
M8 N3 N3 VDD VDD pch L=3u W=3.u M=20
.ENDS
```

```

.SUBCKT BIAS4 IIN IOU
C1 N10 N12 1pF
C2 IIN N3 1pF
M3 IIN IIN N10 VSS nch L=1u W=3u M=10
M4 N10 N12 VSS VSS nch L=3u W=3u M=10
M5 N12 N12 VSS VSS nch L=3u W=3u M=10
M6 N3 IIN N12 VSS nch L=1u W=3u M=10
M7 IOU N3 VDD VDD pch L=3u W=3.u M=10
M8 N3 N3 VDD VDD pch L=3u W=3.u M=40
.ENDS

```

```

.SUBCKT BIAS8 IIN IOU
M1 M1D M1D VSS VSS nch L=3u W=3u M=10
M2 N1 IIN M1D VSS nch L=1u W=3u M=10
M3 N1 N1 VDD VDD pch L=3u W=3.u M=80
M4 IOU N1 VDD VDD pch L=3u W=3.u M=10
C5 N2 M1D 1pF
C6 IIN N1 1pF
M7 N2 M1D VSS VSS nch L=3u W=3u M=10
M8 IIN IIN N2 VSS nch L=1u W=3u M=10
.ENDS

```

```

.SUBCKT BIASF D0 D1 D2 D3 IIN IOU Gnd
XBIAS_1 IIN N42 N34 N35 Gnd BIAS
C1 N38 N34 4pF
M2 N38 D0 N33 VSS nch L=1u W=3u M=1
M3 N33 N34 VSS VSS nch L=3u W=3u M=1
M4 N38 D1 N40 VSS nch L=1u W=3u M=2
M5 N40 N34 VSS VSS nch L=3u W=3u M=2
M6 N38 D2 N41 VSS nch L=1u W=3u M=4
M7 N41 N34 VSS VSS nch L=3u W=3u M=4
M8 N38 D3 N37 VSS nch L=1u W=3u M=8
M9 N37 N34 VSS VSS nch L=3u W=3u M=8
M10 N39 N35 N38 VSS nch L=1u W=3u M=10
M11 IOU N39 VDD VDD pch L=3u W=3u M=10
M12 N39 N39 VDD VDD pch L=3u W=3u M=10
.ENDS

```

```

.SUBCKT BIASGEN IIN IOU2 IOU3 IOU4 IOU5 VH1 VL1
C1 N1 VL1 1pF
C2 IIN VH1 1pF
M3 N1 VL1 VSS VSS nch L=3u W=3u M=10

```



```
M4 VL1 VL1 VSS VSS nch L=3u W=3u M=10
M5 VH1 IIN VL1 VSS nch L=1u W=3u M=10
M6 IIN IIN N1 VSS nch L=1u W=3u M=10
M7 VH1 VH1 VDD VDD pch L=3u W=3.u M=10
M8 IOUT2 VH1 VDD VDD pch L=3u W=3.u M=10
M9 IOUT3 VH1 VDD VDD pch L=3u W=3.u M=10
M10 IOUT4 VH1 VDD VDD pch L=3u W=3.u M=10
M11 IOUT5 VH1 VDD VDD pch L=3u W=3.u M=10
.ENDS
```

## A 来歴

- 定電流源の IP では、ソース接地されているトランジスタの L 値として  $1\ \mu\text{m}$  を用いていました。しかし、 $0.25\ \mu\text{m}$  のプロセスにおいてそのまま適用するとバイアス源の雑音が信号系統の信号対雑音比に顕著に影響することが分かりました。同じサイズのトランジスタであれば  $t_{ox}$  が薄くなった分  $g_m$  が増加するからです。

そこで、L 値を  $3\ \mu\text{m}$  とするとともに、バイアス回路に低周波通過特性を持たせるように改修しました。これにともなって対応する増幅器の定電流源用のトランジスタの L 値も  $3\ \mu\text{m}$  とする必要があります。

このような対策によって、 $0.25\ \mu\text{m}$  のプロセスにおける低雑音化が達成されたばかりでなく、 $0.35\ \mu\text{m}$  のプロセスにおいても有意な低雑音化が図られることが分かりました (H160817)。

以上