
高度センサー信号処理のための Analog-VLSI Open-IP(5)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 21 日

概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 5 章では、低レベルデジタル信号インターフェース回路、および電圧対電流変換型のアナログマルチプレクサ回路の IP を提示致します。さらにこれらの回路についてのテスト治具示すことによって、バイアス回路との取り合い関係を明らかにします。

目次

1	低レベルデジタル信号インターフェース	74
2	電圧対電流変換型のアナログマルチプレクサ	81
A	LVD/LVR 回路の試験治具	88
B	HITR1 回路、HITR2 回路の試験治具	90
C	アナログマルチプレクサの試験治具	91
D	来歴	93

表目次

1	低レベルデジタル信号インターフェース回路 IP の一覧	74
2	マルチプレクサ回路 IP の一覧	81

図目次

1	低レベルデジタル信号インターフェース回路シンボルの一覧	75
2	LVD 回路	75
3	LVR 回路	76
4	LVR2 回路	76
5	LVR3 回路	77

*ikedada.hirokazu@jaxa.jp

6	LVR4 回路	77
7	HITR1 回路	78
8	HITR2 回路	78
9	電圧対電流変換型のアナログマルチプレクサ回路のシンボル一覧	82
10	MUX1 回路	82
11	MUX2B 回路	83
12	MUX3B 回路	83
13	SHPR2 回路	84
14	MUX4 回路	84
15	POWER 回路	88
16	LVD/LVR 回路の試験治具	88
17	HITR1 回路、HITR2 回路の試験治具	90
18	THTL 回路	91
19	理想演算増幅器回路	91
20	アナログマルチプレクサの試験治具	92

1 低レベルデジタル信号インターフェース

低レベルデジタル信号インターフェースとは、いわゆる LVDS 信号の規格に準拠した論理振幅の小さな、差動信号インターフェース回路をいいます。

CMOS 集積回路においては、内部的にはハイレベルを VDD とし、ローレベルを VSS とするいわゆる CMOS レベルが用いられています。

しかし、このような信号を入出力の信号として用いると、検出器からの微弱な信号に干渉して、アナログ信号の品質を著しく劣化させることがあります。

そこで、本 IP においては、LVDS の規格に準拠して低レベルデジタル信号インターフェースの IP を用意することにしました。

表 1 には低レベルデジタル信号インターフェース回路 IP の一覧を掲げました。図 1 には、対応する回路ブロックのシンボルが掲げてあります。

表 1: 低レベルデジタル信号インターフェース回路 IP の一覧

回路名称	用途	具体的適用
LVD	ドライバ回路	終端抵抗は 1 kΩ
LVR	レシーバ回路	中速汎用
LVR2	イネーブル端子つきレシーバ回路	中速汎用
LVR3	イネーブル端子つきレシーバ回路	高速汎用
LVR4	イネーブル端子つきレシーバ回路	高速汎用
HITR1	シングルエンド電流レシーバ回路	デジタル信号バス (PMOS 受け)
HITR2	シングルエンド電流レシーバ回路	デジタル信号バス (NMOS 受け)

以下各回路ブロックの内部構成を示します。

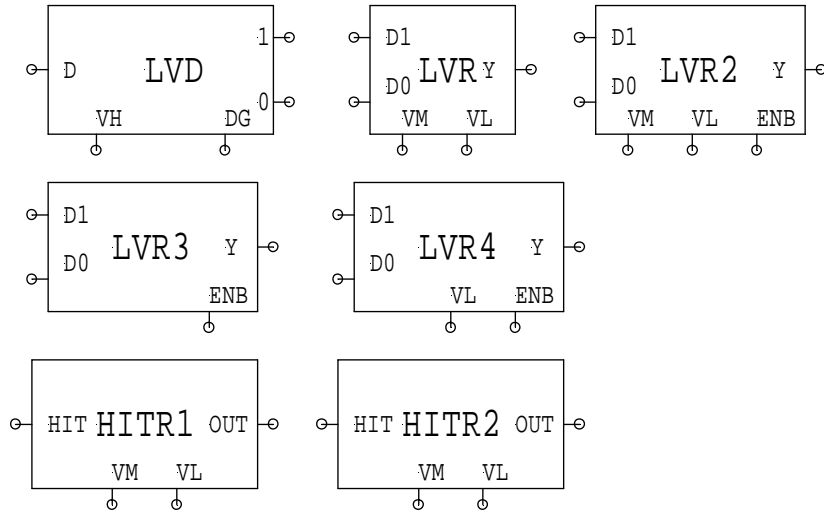


図 1: 低レベルデジタル信号インターフェース回路シンボルの一覧

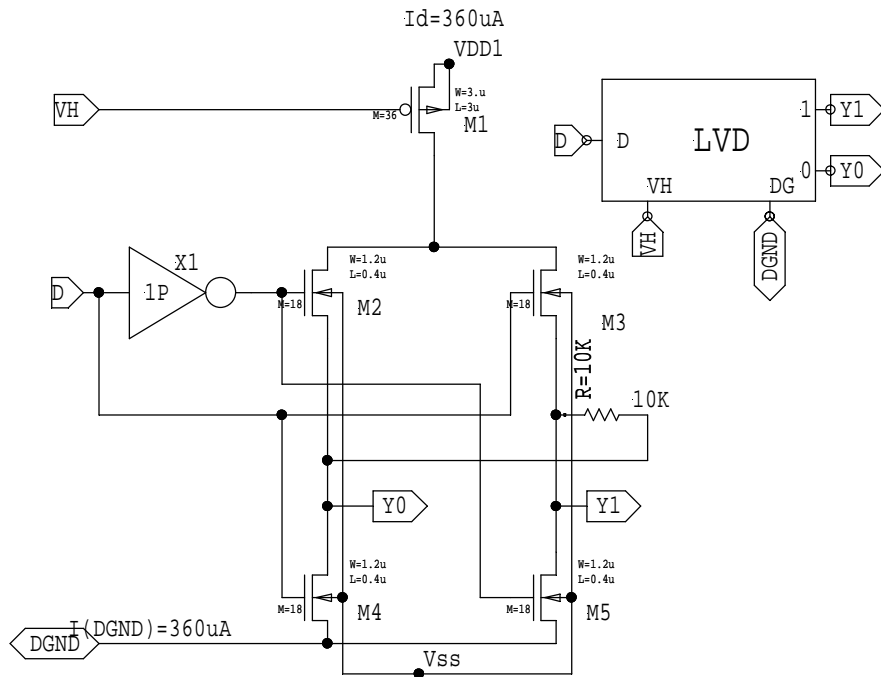


図 2: LVD 回路

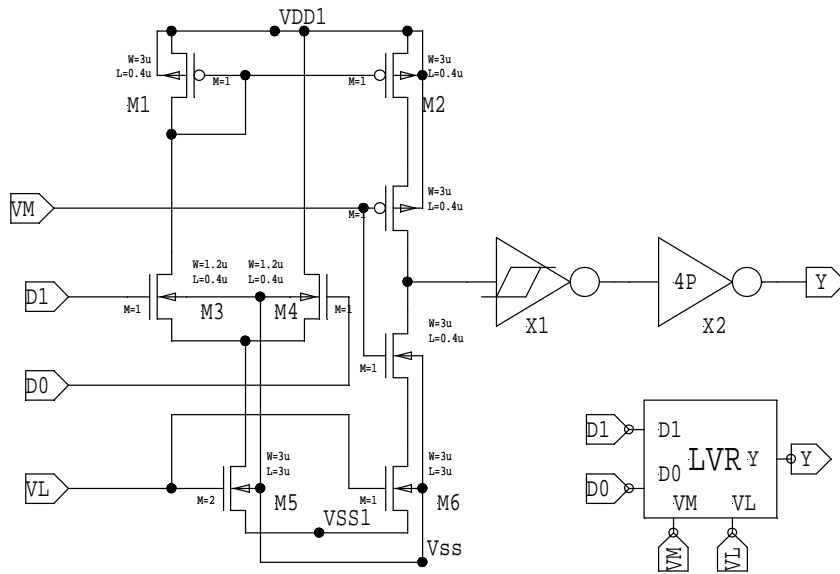


图 3: LVR 回路

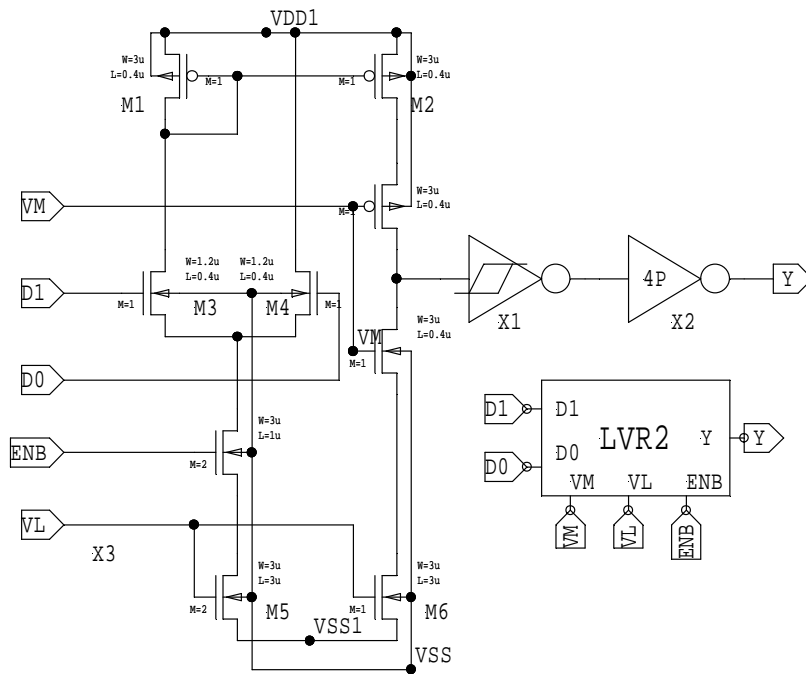


图 4: LVR2 回路

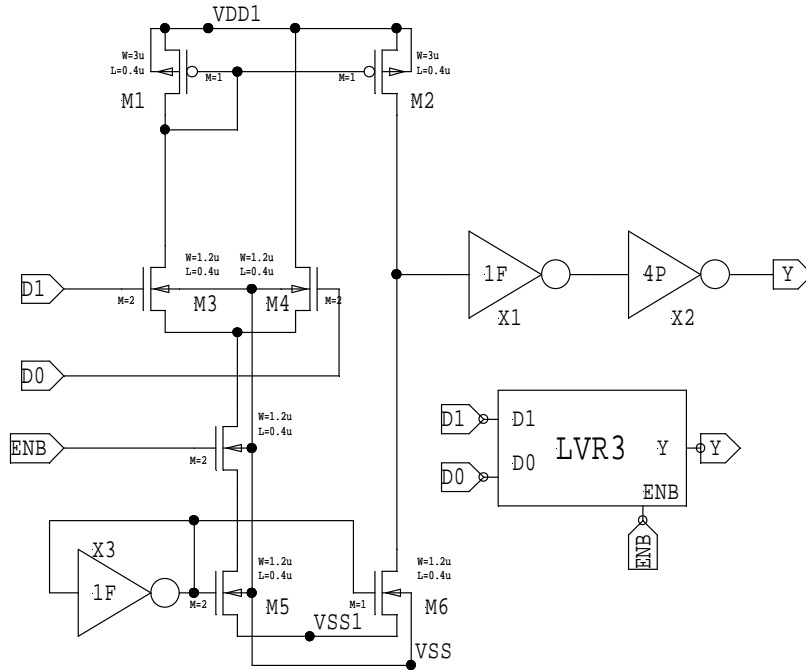


图 5: LVR3 回路

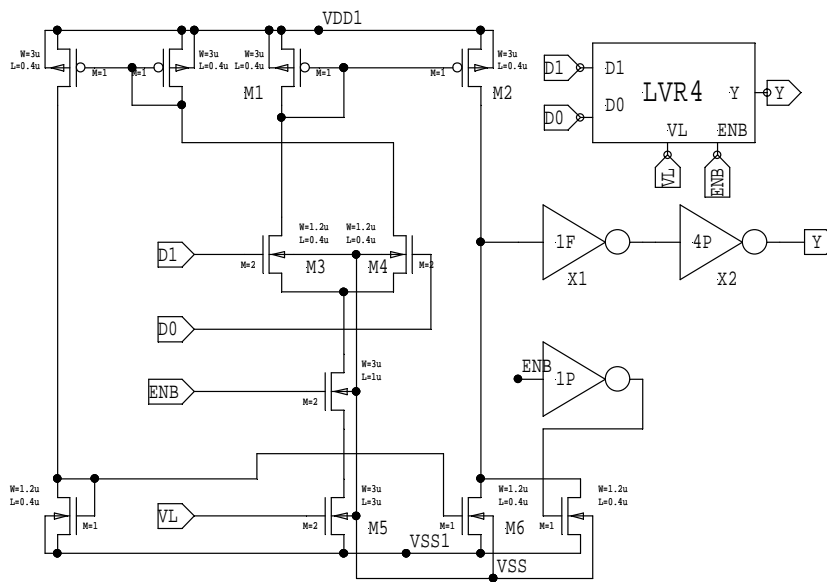


图 6: LVR4 回路

以下には、各回路ブロックのネットリストを掲げておきます。

```
.SUBCKT LVD D DGND VH Y0 Y1
X1 D N1 inv1P
M1 N3 VH VDD1 VDD1 pch L=3u W=3.u M=36
M2 N3 N1 Y0 Vss nch L=0.4u W=1.2u M=18
M3 N3 D Y1 Vss nch L=0.4u W=1.2u M=18
M4 Y0 D DGND Vss nch L=0.4u W=1.2u M=18
M5 Y1 N1 DGND Vss nch L=0.4u W=1.2u M=18
R6 Y1 Y0 10K TC=0.0, 0.0
.ENDS
```

```
.SUBCKT LVR DO D1 VL VM Y
X2 N1 Y inv4P
XINV1S_1 N34 N1 INV1S
M1 N15 N15 VDD1 VDD1 pch L=0.4u W=3u M=1
M2 N36 N15 VDD1 VDD1 pch L=0.4u W=3u M=1
M3 N15 D1 N33 Vss nch L=0.4u W=1.2u M=1
M4 VDD1 DO N33 Vss nch L=0.4u W=1.2u M=1
M5 N33 VL VSS1 Vss nch L=3u W=3u M=2
M6 N35 VL VSS1 Vss nch L=3u W=3u M=1
M7 N34 VM N35 Vss nch L=0.4u W=3u M=1
M8 N34 VM N36 VDD1 pch L=0.4u W=3u M=1
.ENDS
```

```
.SUBCKT LVR2 DO D1 ENB VL VM Y
X2 N34 Y inv4P
M1 N35 VM N33 VSS nch L=0.4u W=3u M=1
M2 N35 VM N42 VDD1 pch L=0.4u W=3u M=1
M3 N37 ENB N40 VSS nch L=1u W=3u M=2
XINV1S_1 N35 N34 INV1S
M4 N38 N38 VDD1 VDD1 pch L=0.4u W=3u M=1
M5 N42 N38 VDD1 VDD1 pch L=0.4u W=3u M=1
M6 N38 D1 N37 VSS nch L=0.4u W=1.2u M=1
M7 VDD1 DO N37 VSS nch L=0.4u W=1.2u M=1
M8 N40 VL VSS1 VSS nch L=3u W=3u M=2
M9 N33 VL VSS1 VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT LVR3 DO D1 ENB Y
X1 N36 N33 inv1F
X2 N33 Y inv4P
X3 N35 N35 inv1F
M1 N34 ENB N37 VSS nch L=0.4u W=1.2u M=2
```

```
M2 N39 N39 VDD1 VDD1 pch L=0.4u W=3u M=1
M3 N39 D1 N34 VSS nch L=0.4u W=1.2u M=2
M4 VDD1 D0 N34 VSS nch L=0.4u W=1.2u M=2
M5 N37 N35 VSS1 VSS nch L=0.4u W=1.2u M=2
M6 N36 N35 VSS1 VSS nch L=0.4u W=1.2u M=1
M7 N36 N39 VDD1 VDD1 pch L=0.4u W=3u M=1
.ENDS
```

```
.SUBCKT LVR4 D0 D1 ENB VL Y
X1 N3 N7 inv1F
X2 N7 Y inv4P
M1 N1 ENB N4 VSS nch L=1u W=3u M=2
Xinv1P_1 ENB N9 inv1P
M2 N6 N6 VDD1 VDD1 pch L=0.4u W=3u M=1
M3 N6 D1 N1 VSS nch L=0.4u W=1.2u M=2
M4 N2 D0 N1 VSS nch L=0.4u W=1.2u M=2
M5 N4 VL VSS1 VSS nch L=3u W=3u M=2
M6 N3 N10 VSS1 VSS nch L=0.4u W=1.2u M=1
M7 N10 N10 VSS1 VSS1 nch L=0.4u W=1.2u M=1
M8 N3 N9 VSS1 VSS nch L=0.4u W=1.2u M=1
M9 N2 N2 VDD1 VDD1 pch L=0.4u W=3u M=1
M10 N10 N2 VDD1 VDD1 pch L=0.4u W=3u M=1
M11 N3 N6 VDD1 VDD1 pch L=0.4u W=3u M=1
.ENDS
```

```
.SUBCKT HTR2 HIT OUT VL VM
XINV1S_1 N5 N1 INV1S
Xinv4P_1 N1 OUT inv4P
M1 N5 VM N7 VSS nch L=1u W=3u M=1
M2 HIT HIT N10 VSS nch L=1u W=3u M=1
M3 N10 N10 VSS1 VSS nch L=3u W=3u M=1
M4 N3 HIT N17 VSS nch L=1u W=3u M=1
M5 N17 N10 VSS1 VSS nch L=3u W=3u M=1
M6 N7 VL VSS1 VSS nch L=3u W=3u M=1
M7 N5 N3 N6 VDD1 pch L=1u W=3u M=2
M8 N3 N3 N2 VDD1 pch L=1u W=3u M=1
M9 N2 N2 VDD1 VDD1 pch L=3u W=3u M=1
M10 N6 N2 VDD1 VDD1 pch L=3u W=3u M=2
.ENDS
```

```
.SUBCKT HTR1 HIT OUT VL VM
XINV1S_1 N37 N34 INV1S
Xinv4P_1 N34 OUT inv4P
```



```

M1 N37 VM N33 VSS nch L=1u W=3u M=1
M2 N33 VL VSS1 VSS nch L=3u W=3u M=1
M3 N37 HIT N36 VDD1 pch L=1u W=3u M=2
M4 HIT HIT N35 VDD1 pch L=1u W=3u M=1
M5 N35 N35 VDD1 VDD1 pch L=3u W=3u M=1
M6 N36 N35 VDD1 VDD1 pch L=3u W=3u M=2
.ENDS

```

2 電圧対電流変換型のアナログマルチプレクサ

アナログマルチプレクサとは、複数のアナログ信号源から排他的に選択した一のアナログ信号を共通母線に導くための手段をいいます。

検出器読出用の集積回路においては、複数の信号チャンネルをひとつの集積回路として構成する手法が常用されています。

このような集積回路の出力信号をチャンネルごとに取り出していたのでは、ボンディングパッドが不足するばかりではなく、バックエンドにおける処理に不便が生じます。

そこで、集積回路の内部において、何らかの手段によって指定したチャンネルの信号を排他的に読出すための手段としてアナログマルチプレクサが有用です。

一般にアナログマルチプレクサとしては、スイッチ回路を利用した電圧対電圧型のアナログマルチプレクサが良く知られています。しかし、電圧対電圧型のマルチプレクサは、忠実性においては優れた性能を発揮するものの、大規模なシステムにおいては settling-time において問題を生ずることがあります。そこで、ここでは高速読出しを目的とした電圧対電流変換型のアナログマルチプレクサを提示します。

表 2 には、電圧対電流変換型のアナログマルチプレクサの一覧を掲げました。また、図 9 には、対応する回路ブロックのシンボル図形を掲げました。

表 2: マルチプレクサ回路 IP の一覧

回路名称	用途	具体的適用
MUX1	低レベル入力電圧用	差動出力
MUX2B	高レベル入力電圧用	差動出力
MUX3B	高レベル入力電圧用広コモンモード出力レンジ用	差動出力
MUX4	高レベル入力電圧用	シングルエンド出力

以下、各回路ブロックの内部構成を示します。

MUX4 回路 (図 14) においては、増幅要素 (図 13) が使われていますので、当該増幅要素の回路図も併せて提示しました。

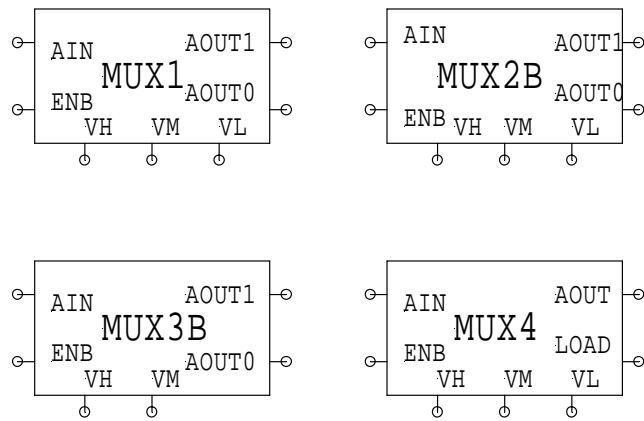


図 9: 電圧対電流変換型のアナログマルチプレクサ回路のシンボル一覧

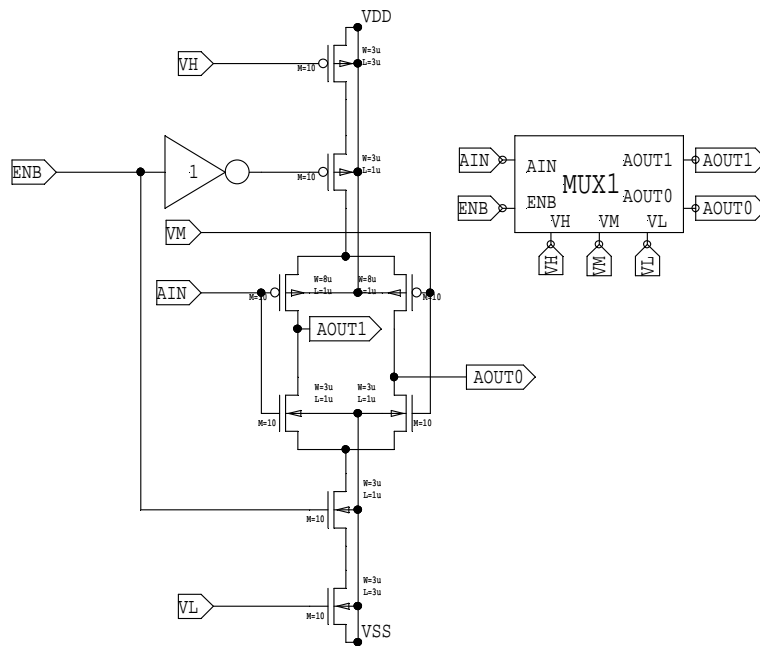


図 10: MUX1 回路

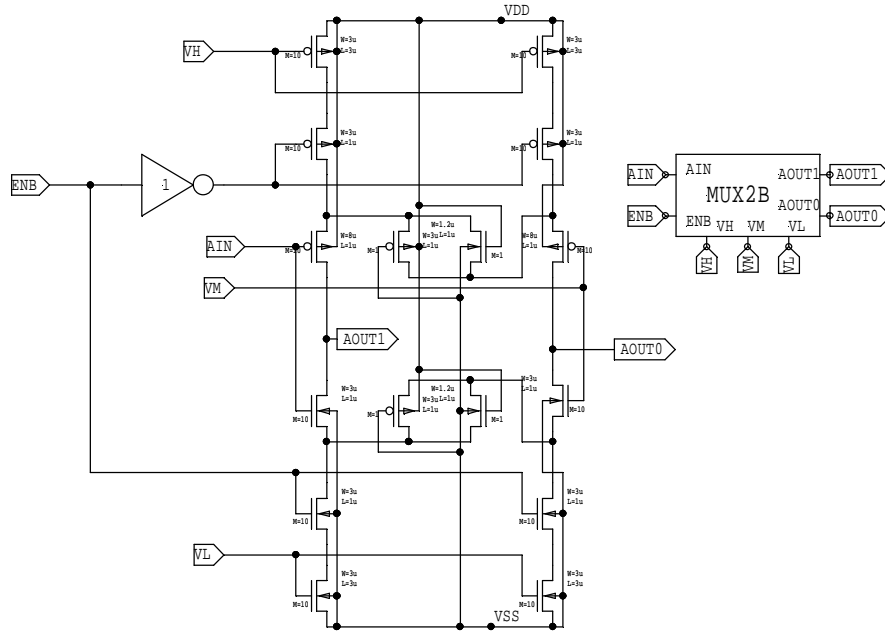


图 11: MUX2B 回路

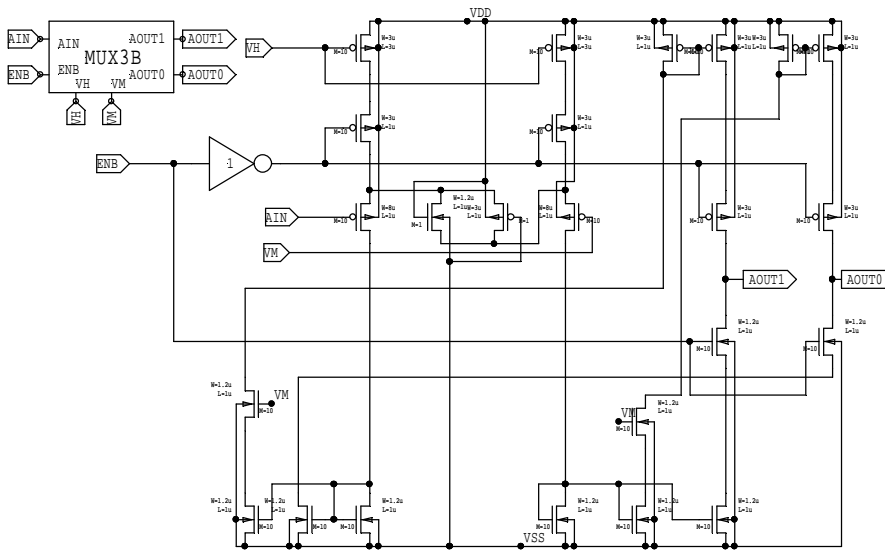


图 12: MUX3B 回路

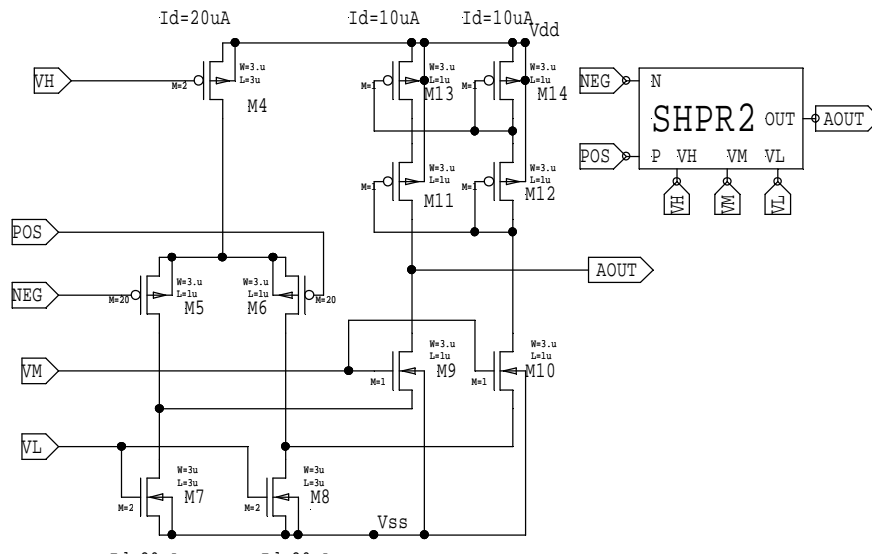


图 13: SHPR2 回路

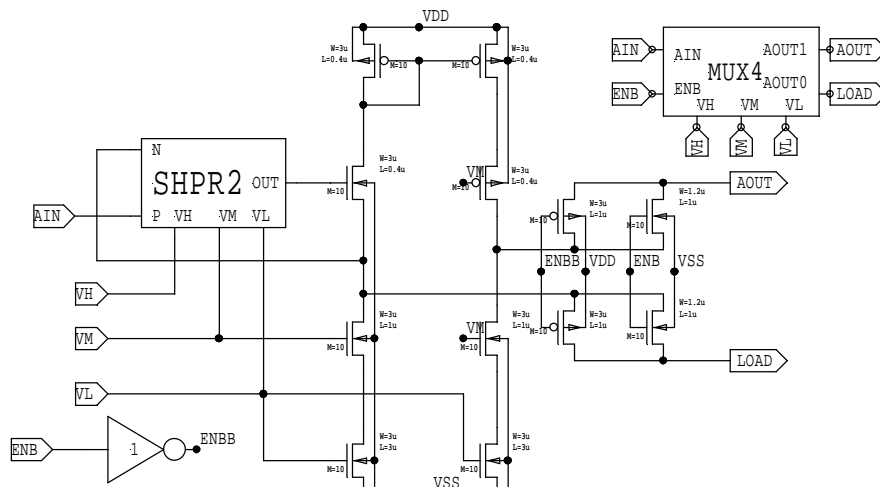


图 14: MUX4 回路

以下、各回路ブロックのネットリストを掲げておきます。

```
.SUBCKT MUX1 AIN AOUT0 AOUT1 ENB VH VL VM
Xinv1_1 ENB N3 inv1
M1 AOUT1 AIN N6 VSS nch L=1u W=3u M=10
M2 AOUT0 VM N6 VSS nch L=1u W=3u M=10
M3 N6 ENB N5 VSS nch L=1u W=3u M=10
M4 N5 VL VSS VSS nch L=3u W=3u M=10
M5 AOUT1 AIN N2 VDD pch L=1u W=8u M=10
M6 AOUT0 VM N2 VDD pch L=1u W=8u M=10
M7 N2 N3 N4 VDD pch L=1u W=3u M=10
M8 N4 VH VDD VDD pch L=3u W=3u M=10
.ENDS
```

```
.SUBCKT MUX2B AIN AOUT0 AOUT1 ENB VH VL VM
Xinv1_1 ENB N72 inv1
M1 AOUT1 AIN N65 VSS nch L=1u W=3u M=10
M2 AOUT0 VM N69 VSS nch L=1u W=3u M=10
M3 N69 ENB N78 VSS nch L=1u W=3u M=10
M4 N78 VL VSS VSS nch L=3u W=3u M=10
M5 N66 VL VSS VSS nch L=3u W=3u M=10
M6 N65 ENB N66 VSS nch L=1u W=3u M=10
M7 N67 VDD N70 VSS nch L=1u W=1.2u M=1
M8 N69 VDD N65 VSS nch L=1u W=1.2u M=1
M9 AOUT1 AIN N67 VDD pch L=1u W=8u M=10
M10 AOUT0 VM N70 VDD pch L=1u W=8u M=10
M11 N70 N72 N77 VDD pch L=1u W=3u M=10
M12 N77 VH VDD VDD pch L=3u W=3u M=10
M13 N65 VSS N69 VDD pch L=1u W=3u M=1
M14 N70 VSS N67 VDD pch L=1u W=3u M=1
M15 N71 VH VDD VDD pch L=3u W=3u M=10
M16 N67 N72 N71 VDD pch L=1u W=3u M=10
.ENDS
```

```
.SUBCKT MUX3B AIN AOUT0 AOUT1 ENB VH VM
Xinv1_1 ENB N70 inv1
M1 N66 VDD N71 VSS nch L=1u W=1.2u M=1
M2 N31 N65 VSS VSS nch L=1u W=1.2u M=10
M3 N47 N68 VSS VSS nch L=1u W=1.2u M=10
M4 N68 N68 VSS VSS nch L=1u W=1.2u M=10
M5 AOUT1 ENB N37 VSS nch L=1u W=1.2u M=10
M6 N65 N65 VSS VSS nch L=1u W=1.2u M=10
M7 AOUT0 ENB N31 VSS nch L=1u W=1.2u M=10
M8 N37 N68 VSS VSS nch L=1u W=1.2u M=10
```

```

M9 N92 VM N45 VSS nch L=1u W=1.2u M=10
M10 N45 N65 VSS VSS nch L=1u W=1.2u M=10
M11 N96 VM N47 VSS nch L=1u W=1.2u M=10
M12 N65 AIN N66 VDD pch L=1u W=8u M=10
M13 N68 VM N71 VDD pch L=1u W=8u M=10
M14 N71 N70 N69 VDD pch L=1u W=3u M=10
M15 N69 VH VDD VDD pch L=3u W=3u M=10
M16 N71 VSS N66 VDD pch L=1u W=3u M=1
M17 N67 VH VDD VDD pch L=3u W=3u M=10
M18 N66 N70 N67 VDD pch L=1u W=3u M=10
M19 AOUT1 N70 N83 VDD pch L=1u W=3u M=10
M20 AOUT0 N70 N87 VDD pch L=1u W=3u M=10
M21 N83 N92 VDD VDD pch L=1u W=3u M=10
M22 N87 N96 VDD VDD pch L=1u W=3u M=10
M23 N96 N96 VDD VDD pch L=1u W=3u M=10
M24 N92 N92 VDD VDD pch L=1u W=3u M=10
.ENDS

```

```

.SUBCKT SHPR2 AOUT NEG POS VH VL VM
M4 N9 VH Vdd Vdd pch L=3u W=3.u M=2
M5 N7 NEG N9 N9 pch L=1u W=3.u M=20
M6 N11 POS N9 N9 pch L=1u W=3.u M=20
M7 N7 VL Vss Vss nch L=3u W=3u M=2
M8 N11 VL Vss Vss nch L=3u W=3u M=2
M9 AOUT VM N7 Vss nch L=1u W=3.u M=1
M10 N30 VM N11 Vss nch L=1u W=3.u M=1
M11 AOUT N30 N39 Vdd pch L=1u W=3.u M=1
M12 N30 N30 N42 Vdd pch L=1u W=3.u M=1
M13 N39 N42 Vdd Vdd pch L=1u W=3.u M=1
M14 N42 N42 Vdd Vdd pch L=1u W=3.u M=1
.ENDS

```

```

.SUBCKT MUX4 AIN AOUT ENB LOAD VH VL VM
Xinv1_1 ENB ENBB inv1
M1 N6 N2 N5 VSS nch L=0.4u W=3u M=10
M2 N5 VM N3 VSS nch L=1u W=3u M=10
M3 N4 VM N1 VSS nch L=1u W=3u M=10
M4 N3 VL VSS VSS nch L=3u W=3u M=10
M5 N1 VL VSS VSS nch L=3u W=3u M=10
M6 AOUT ENB N4 VSS nch L=1u W=1.2u M=10
M7 N5 ENB LOAD VSS nch L=1u W=1.2u M=10
M8 N6 N6 VDD VDD pch L=0.4u W=3u M=10

```

```
M9 N7 N6 VDD VDD pch L=0.4u W=3u M=10
M10 N4 ENBB AOUT VDD pch L=1u W=3u M=10
M11 LOAD ENBB N5 VDD pch L=1u W=3u M=10
M12 N4 VM N7 VDD pch L=0.4u W=3u M=10
XSHPR2_1 N2 N5 AIN VH VL VM SHPR2
.ENDS
```

A LVD/LVR 回路の試験治具

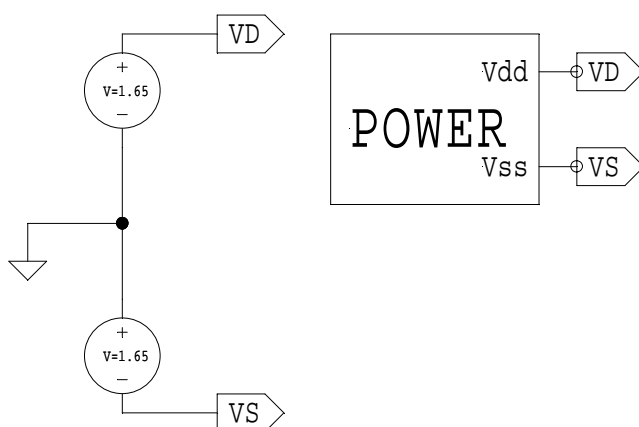


図 15: POWER 回路

図 16 に LVD/LVR 回路の試験回路を掲げました。図中新たに、POWER という名称の回路ブロックが用いられています。回路ブロック POWER は、電源電圧を供給するための回路となっています。試験回路の詳細は以下のネットリストを参照してください。

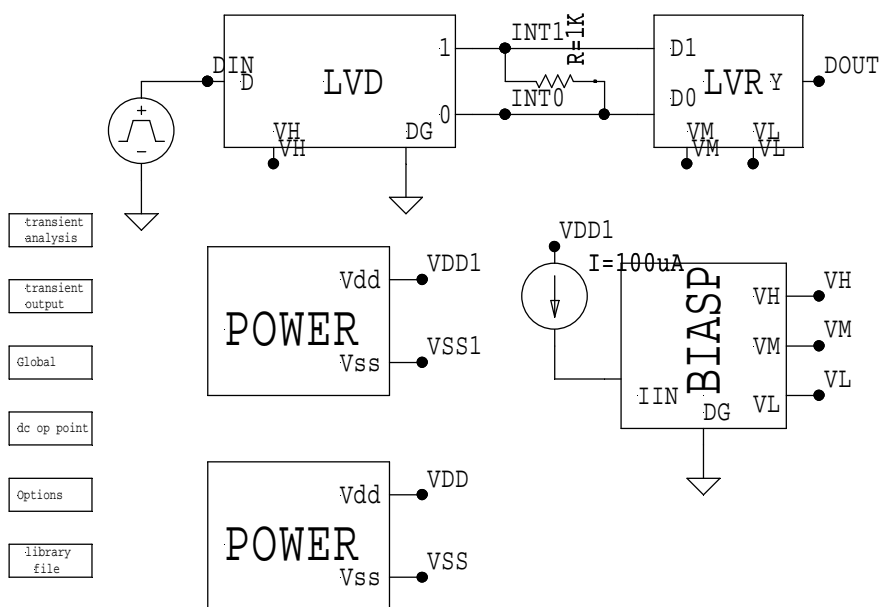


図 16: LVD/LVR 回路の試験治具

```
.SUBCKT POWER VD VS Gnd
v1 VD Gnd 2
v2 Gnd VS 1.3
```



```

.ENDS

* Main circuit: TESTLVD
XBIASP_1 Gnd N1 VH VL VM BIASP
.op
.global VSS VDD VSS1 VDD1
.lib 'mm0355v.1' TT
XLVD_1 DIN Gnd VH INTO INT1 LVD
XLVR_1 INTO INT1 VL VM DOUT LVR
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
R1 INTO INT1 1K TC=0.0, 0.0
i2 VDD1 N1 100uA
v3 DIN Gnd pulse(-1.3 2 100n 10n 10n 100n 200n)
.tran 1n 1u
.print tran v(DIN) v(DOUT) v(INT1) v(INT0)
* End of main circuit: TESTLVD

```

B HITR1 回路、HITR2 回路の試験治具

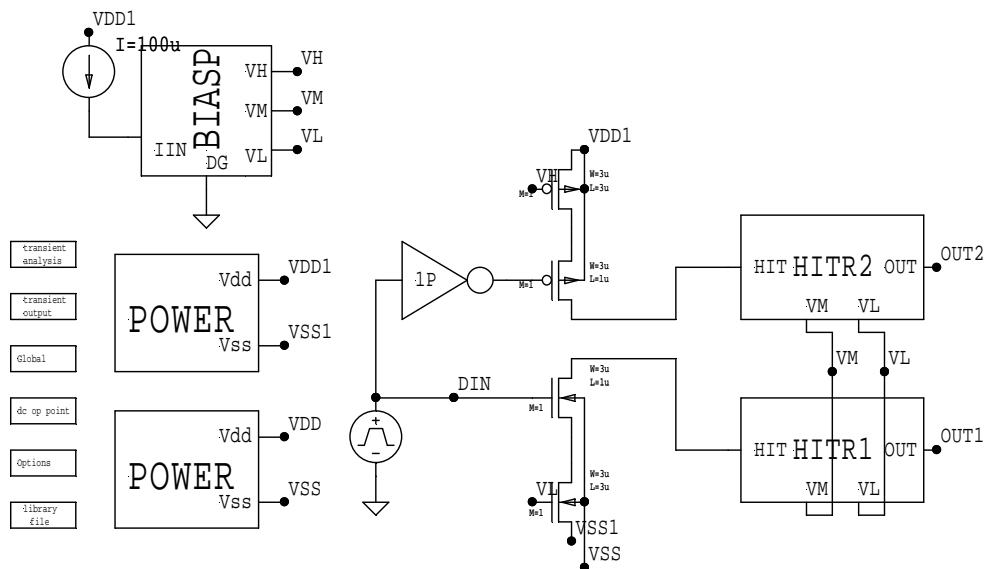


図 17: HITR1 回路、HITR2 回路の試験治具

```

* Main circuit: TESTHITR
XBIASP_1 Gnd N3 VH VL VM BIASP
.op
.global VSS VDD VSS1 VDD1
XHITR1_1 N2 OUT1 VL VM HITR1
XHITR2_1 N6 OUT2 VL VM HITR2
Xinv1P_1 DIN N4 inv1P
.lib 'mm0355v.1' TT
M1 N7 VL VSS1 VSS nch L=3u W=3u M=1
M2 N2 DIN N7 VSS nch L=1u W=3u M=1
M3 N5 VH VDD1 VDD1 pch L=3u W=3u M=1
M4 N6 N4 N5 VDD1 pch L=1u W=3u M=1
.options reltol=1.e-5 abstol=1.e-10 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XPOWER_2 VDD1 VSS1 Gnd POWER
i5 VDD1 N3 100u
v6 DIN Gnd pulse(-1.65 1.65 1u 10n 10n 1u 3u)
.tran 10n 10u
.print tran v(DIN) v(OUT1) v(OUT2)
* End of main circuit: TESTHITR

```

C アナログマルチプレクサの試験治具

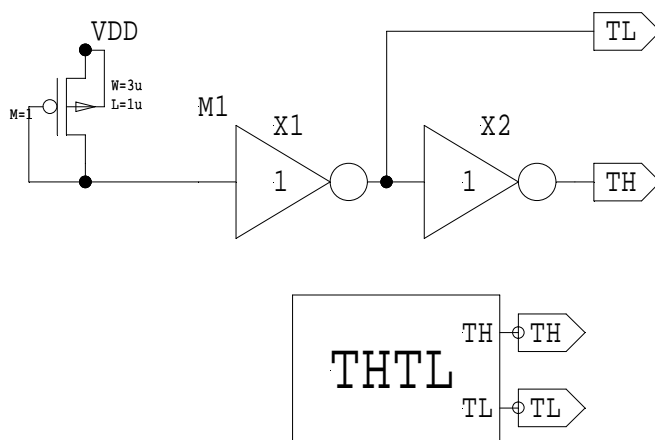


図 18: THTL 回路

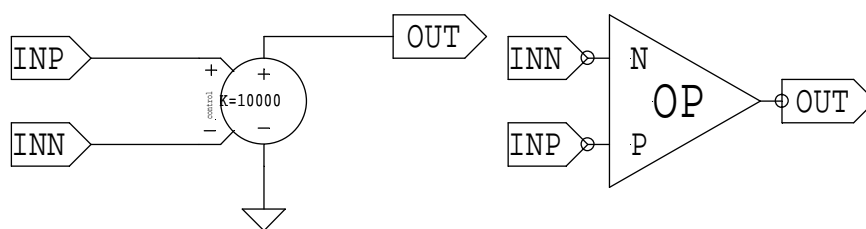


図 19: 理想演算増幅器回路

図 20 にアナログマルチプレクサの試験回路を掲げました。図中新たに、THTL、および idealOP という名称の回路ブロックが用いられています。回路ブロック THTL は、論理レベルのハイレベル及びローレベルを供給するための回路、回路ブロック idealOP は、理想演算増幅器となっています。

試験回路の詳細は以下のネットリストを参照してください。

```
.SUBCKT idealOP INN INP OUT
e1 OUT GND INP INN 10000
.ENDS

.SUBCKT THTL TH TL
X1 N6 TL inv1
X2 TL TH inv1
M1 N6 N6 Vdd Vdd pch L=1u W=3u M=1
.ENDS
```

TESTMUX では、電源電圧として VSS=-1.3、VDD=2.0 が推奨電圧です。

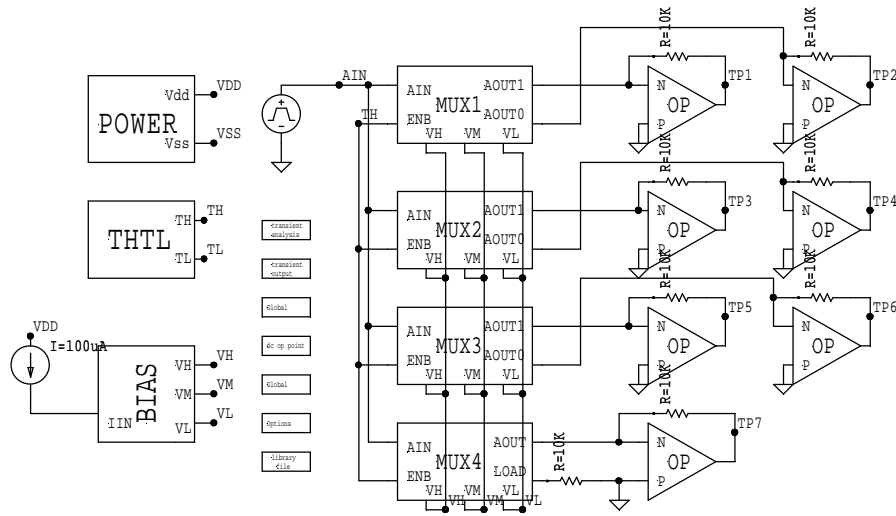


図 20: アナログマルチプレクサの試験治具

* Main circuit: TESTMUX

XBIAS_1 N1 VH VL VM Gnd BIAS

XidealOP_1 N6 Gnd TP1 idealOP

XidealOP_2 N9 Gnd TP2 idealOP

XidealOP_3 N42 Gnd TP3 idealOP

XidealOP_4 N48 Gnd TP4 idealOP

XidealOP_5 N36 Gnd TP5 idealOP

XidealOP_6 N4 Gnd TP6 idealOP

XidealOP_7 N27 Gnd TP7 idealOP

XMUX1_1 AIN N9 N6 TH VH VL VM MUX1

XMUX2B_1 AIN N48 N42 TH VH VL VM MUX2B

XMUX3B_1 AIN N4 N36 TH VH VL VM MUX3B

XMUX4_1 AIN N27 TH N28 VH VL VM MUX4

XPOWER_1 VDD VSS Gnd POWER

R1 N28 Gnd 10K TC=0.0, 0.0

R2 N27 TP7 10K TC=0.0, 0.0

R3 N36 TP5 10K TC=0.0, 0.0

R4 N42 TP3 10K TC=0.0, 0.0

R5 N6 TP1 10K TC=0.0, 0.0

R6 N9 TP2 10K TC=0.0, 0.0

R7 N48 TP4 10K TC=0.0, 0.0

R8 N4 TP6 10K TC=0.0, 0.0

i9 VDD N1 100uA

v10 AIN Gnd pulse(-600m 600m 0 6u 6u 100n 200n)

XTHTL_1 TH TL THTL

.tran 5n 12u

.print tran v(AIN) v(TP1) v(TP2) v(TP3) v(TP4) v(TP5) v(TP6) v(TP7)

D 来歴

- 第4章において、定電流源のトランジスタのL値が $3\text{ }\mu\text{m}$ に変更されたことに対応する改修を行いました (H160818)。
- MUX2、MUX3回路において、MOSダイオード接続の回路によって入力ダイナミックレンジを確保するようになっている部分を、CMOSトランスファークローク型の回路に置き換えました。これによって、電力が削減され、またシリコン占有面積が低減されました (H160818)。
- LVR回路の出力部にシュミットトリガー回路を導入しました (H160818)。
- LVR2回路、HITR1回路、及びHITR2回路を追加しました (H160818)。
- HITR1、HITR2については、試験治具の回路を示しました (H160818)。
- 高速レシーバ回路としてLVR3回路、LVR4回路を追加しました (H160821)。

以上