
高度センサー信号処理のための Analog-VLSI Open-IP(6)

池田 博一*

宇宙航空研究開発機構 宇宙科学研究本部

平成 16 年 8 月 18 日

概要

高機能高性能の Analog-VLSI を短時間で効率良く、しかも一定の確実性をもって開発することができるような礎を構築すべく、公開の IP として Analog-VLSI のビルディングブロックを提供します。第 6 章では、抵抗回路の IP を提示します。抵抗回路の導入によって連続時間フィルタ回路等の設計が著しく容易になります。また、前置増幅器においては、特殊な直流帰還回路が用いられることがありますので、それらの類型についても対応する IP を示すこととしました。

目次

1 抵抗回路	95
2 前置増幅器の直流帰還回路	100
A RF1 回路を用いた反転増幅回路	107
B CFINV 回路を用いた非反転型微分積分回路	108
C RF2 回路を用いた前置増幅器の構成例	109
D FB1 回路を用いた前置増幅器の構成例	111
E FB2 回路を用いた前置増幅器の構成例	112
F FB3 回路を用いた前置増幅器の構成例	113
G FB4 回路を用いた前置増幅器の構成例	114
H FB5 回路を用いた前置増幅器の構成例	115
I FBAMP 回路を用いた前置増幅器の構成例	116
J 来歴	117

*ikedada.hirokazu@jaxa.jp

表 目 次

1	抵抗回路の IP 一覧	96
2	前置増幅器用直流帰還回路の IP 一覧	100

図 目 次

1	抵抗回路のシンボル一覧	96
2	RF1 回路	97
3	RF2 回路	97
4	RF3 回路	98
5	CFINV 回路	98
6	前置増幅器用直流帰還回路のシンボル一覧	101
7	FB1 回路	101
8	FB2 回路	102
9	FB3 回路	102
10	FB4 回路	103
11	FB4B 回路	103
12	FB5 回路	104
13	FBAMP 回路	104
14	RF1 回路を用いた反転増幅回路	107
15	CFINV 回路を用いた非反転型微分積分回路	108
16	前置増幅器回路 PrC	109
17	RF1 回路を用いた前置増幅器の構成例	110
18	FB1 回路を用いた前置増幅器の構成例	111
19	FB2 回路を用いた前置増幅器の構成例	112
20	FB3 回路を用いた前置増幅器の構成例	113
21	FB4 回路を用いた前置増幅器の構成例	114
22	FB5 回路を用いた前置増幅器の構成例	115
23	FBAMP 回路を用いた前置増幅器の構成例	116

1 抵抗回路

抵抗回路とは、二端子の抵抗回路と同等の機能を有する CMOS アナログ回路の総称です。

CMOS 集積回路では、抵抗は、一般的には、ポリシリコン抵抗ないし拡散抵抗として形成されます。

しかし、このような手段では、低雑音信号処理回路において必要とされる $M\Omega$ から $G\Omega$ レンジの抵抗を作りこむことは著しく困難です。

そこで、ソース結合型トランスコンダクタンス増幅器を低電流で動作させることにより高抵抗の機能を実現することにしました。

表 1 には、抵抗回路の IP 一覧を示しました。また、図 1 には、対応する抵抗回路のシンボルを掲げました。

表 1: 抵抗回路の IP 一覧

回路名称	用途	具体的適用
RF1	低レベル振幅用抵抗回路	端子間電圧 100 mV
RF2	中レベル振幅用抵抗回路	端子間電圧 250 mV
RF3	高レベル振幅用抵抗回路	端子間電圧 500 mV
CFINV	電流反転回路	非反転増幅回路の構成要素

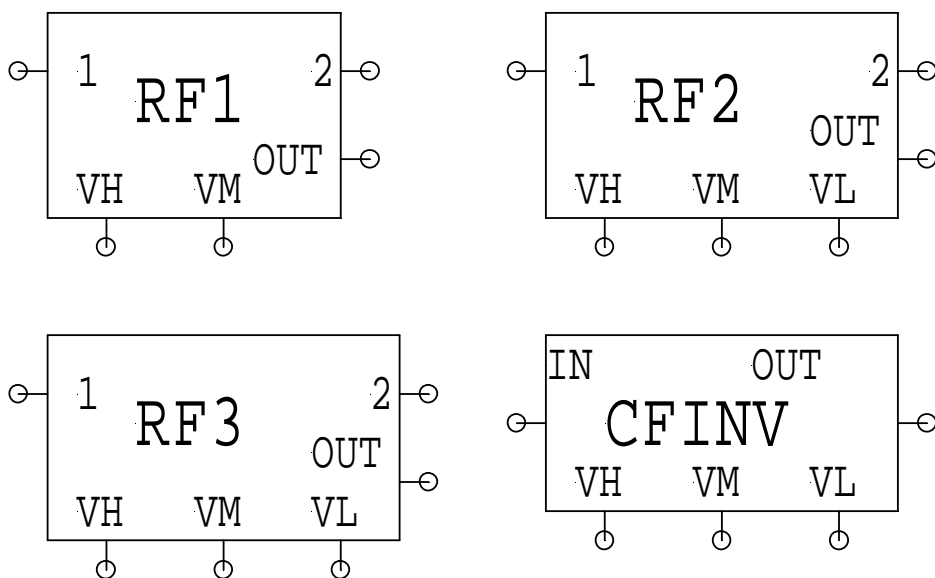


図 1: 抵抗回路のシンボル一覧

次に、各回路ブロックの内部構成を示します。

CFINV 回路は、抵抗回路の出力電流を反転する機能を有しています。この回路を用いることによって、非反転増幅回路を容易に構成することができます。具体的な回路構成を付録に示しました。

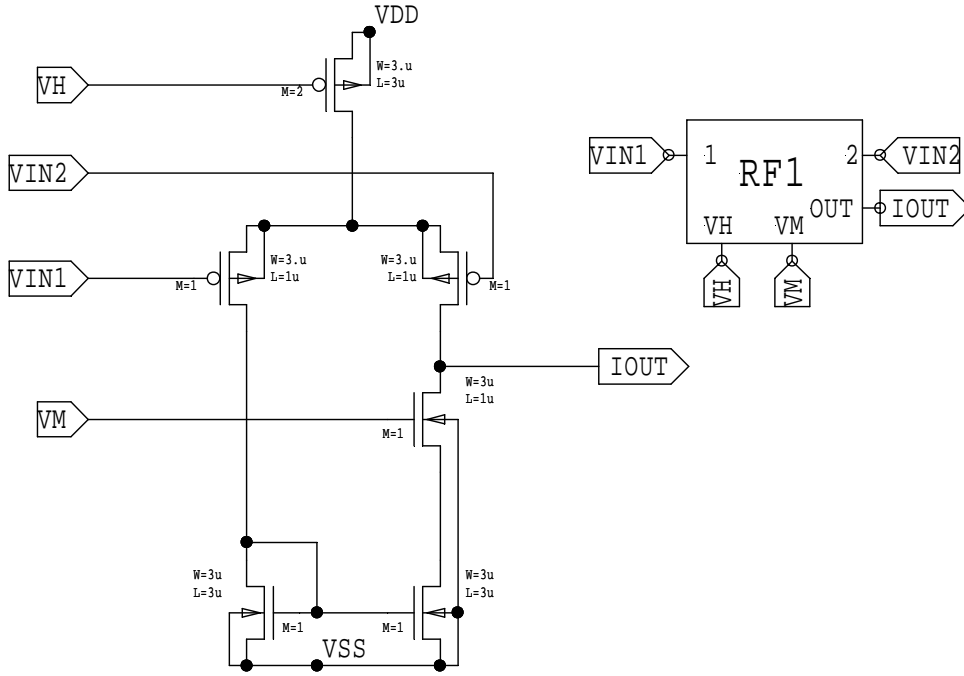


图 2: RF1 回路

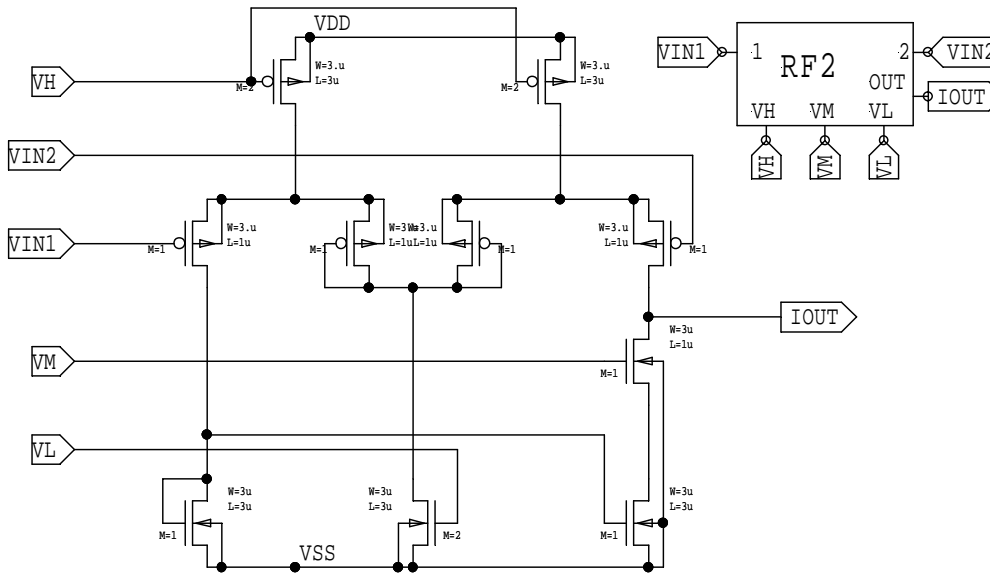


图 3: RF2 回路

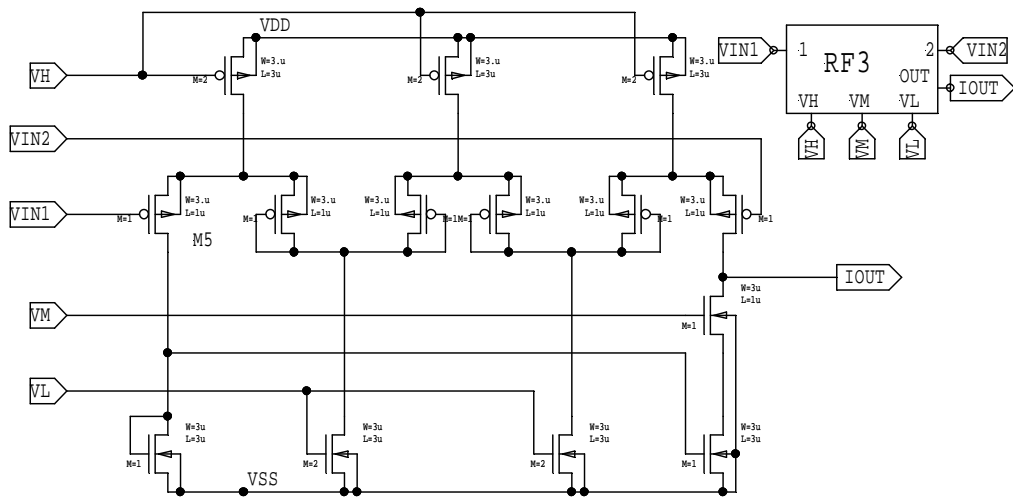


图 4: RF3 回路

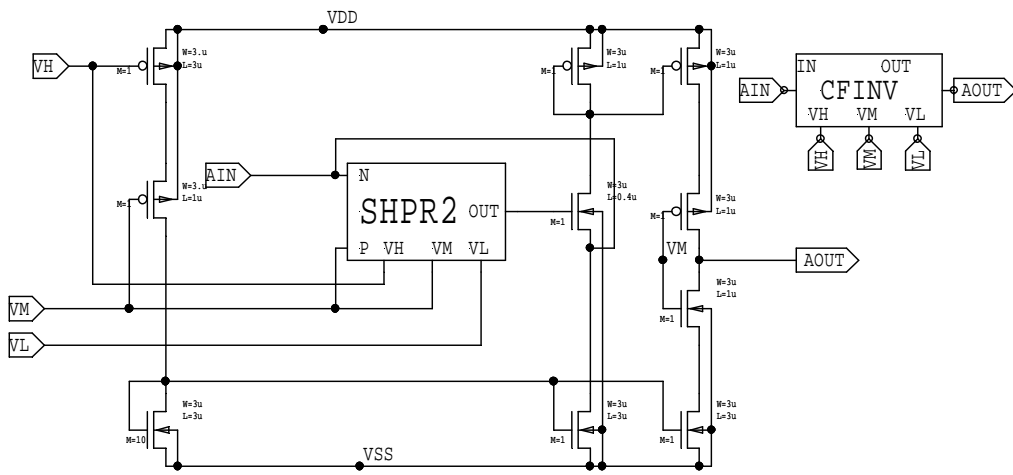


图 5: CFINV 回路

さらに、各回路ブロックのネットリストを掲げておきます。

```
.SUBCKT RF1 IOUT VH VIN1 VIN2 VM
M1 N4 VIN1 N1 N1 pch L=1u W=3.u M=1
M2 IOUT VIN2 N1 N1 pch L=1u W=3.u M=1
M3 N1 VH VDD VDD pch L=3u W=3.u M=2
M4 IOUT VM N3 VSS nch L=1u W=3u M=1
M5 N4 N4 VSS VSS nch L=3u W=3u M=1
M6 N3 N4 VSS VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT RF2 IOUT VH VIN1 VIN2 VL VM
M1 N38 VIN1 N33 N33 pch L=1u W=3.u M=1
M2 N35 N35 N33 N33 pch L=1u W=3.u M=1
M3 N35 N35 N34 N34 pch L=1u W=3.u M=1
M4 IOUT VIN2 N34 N34 pch L=1u W=3.u M=1
M5 N33 VH VDD VDD pch L=3u W=3.u M=2
M6 N34 VH VDD VDD pch L=3u W=3.u M=2
M7 IOUT VM N36 VSS nch L=1u W=3u M=1
M8 N38 N38 VSS VSS nch L=3u W=3u M=1
M9 N35 VL VSS VSS nch L=3u W=3u M=2
M10 N36 N38 VSS VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT RF3 IOUT VH VIN1 VIN2 VL VM
M1 N33 VIN1 N37 N37 pch L=1u W=3.u M=1
M2 N35 N35 N37 N37 pch L=1u W=3.u M=1
M3 N35 N35 N40 N40 pch L=1u W=3.u M=1
M4 N34 N34 N40 N40 pch L=1u W=3.u M=1
M5 N34 N34 N38 N38 pch L=1u W=3.u M=1
M6 IOUT VIN2 N38 N38 pch L=1u W=3.u M=1
M7 N37 VH VDD VDD pch L=3u W=3.u M=2
M8 N40 VH VDD VDD pch L=3u W=3.u M=2
M9 N38 VH VDD VDD pch L=3u W=3.u M=2
M10 N33 N33 VSS VSS nch L=3u W=3u M=1
M11 N35 VL VSS VSS nch L=3u W=3u M=2
M12 N34 VL VSS VSS nch L=3u W=3u M=2
M13 N39 N33 VSS VSS nch L=3u W=3u M=1
M14 IOUT VM N39 VSS nch L=1u W=3u M=1
.ENDS
```

```
.SUBCKT CFINV AIN AOUT VH VL VM
M1 N38 N38 VSS VSS nch L=3u W=3u M=10
M2 N2 N34 AIN VSS nch L=0.4u W=3u M=1
```

```

M3 AIN N38 VSS VSS nch L=3u W=3u M=1
M4 N35 N38 VSS VSS nch L=3u W=3u M=1
M5 AOUT VM N35 VSS nch L=1u W=3u M=1
M6 N33 VH VDD VDD pch L=3u W=3.u M=1
M7 N38 VM N33 VDD pch L=1u W=3.u M=1
M8 N2 N2 VDD VDD pch L=1u W=3u M=1
M9 N37 N2 VDD VDD pch L=1u W=3u M=1
M10 AOUT VM N37 VDD pch L=1u W=3u M=1
XSHPR2_1 N34 AIN VM VH VL VM SHPR2
.ENDS

```

2 前置増幅器の直流帰還回路

前置増幅器の直流帰還回路としては、前節において掲載した抵抗回路の外、スイッチ回路、簡略化された抵抗回路、漏れ電流補償機能付き抵抗回路、サブスレッショルド動作のトランスファークロスタック回路、いわゆる TOT 機能を盛り込んだ直流帰還回路、さらに大信号に対応した直流帰還回路等さまざまなヴァリエーションがあり得ます。

表 2 には前置増幅器用直流帰還回路の IP 一覧を掲げました。図 6 は、対応する回路ブロックのシンボルです。

表 2: 前置増幅器用直流帰還回路の IP 一覧

回路名称	用途	具体的適用
FB1	高抵抗帰還回路	汎用的帰還回路
FB2	漏れ電流補償機能付帰還回路	検出器直結合
FB3	トランスファークロスタック型帰還回路	ゲート電圧の調整手段を要する
FB4	TOT 型帰還回路	カウンタを用いた A/D 変換が可能
FB4B	TOT 型帰還回路	同上
FBAMP	大信号用帰還回路	PMT の信号を増幅する場合等

これらの直流帰還回路の使用方法、及び動作条件の設定について具体的に理解していただくために、回路の構成例を付録に掲げました。

以下各回路ブロックの内部構成を示します。

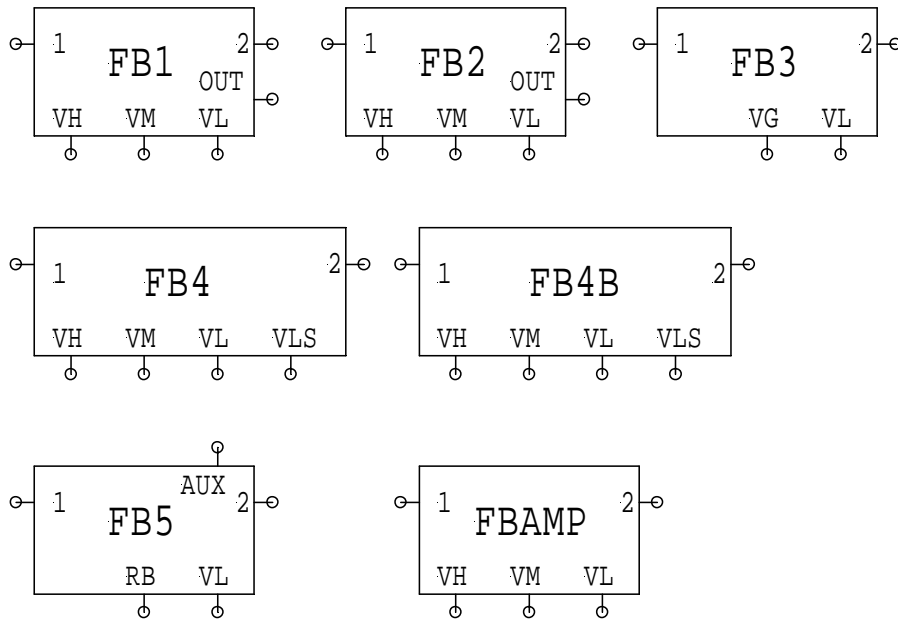


図 6: 前置増幅器用直流帰還回路のシンボル一覧

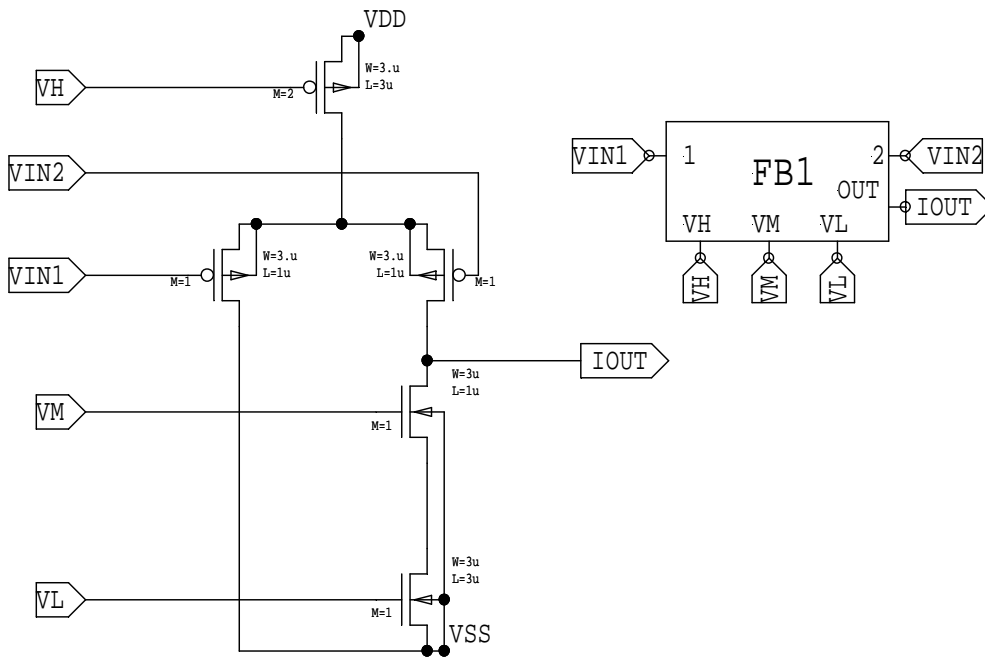


図 7: FB1 回路

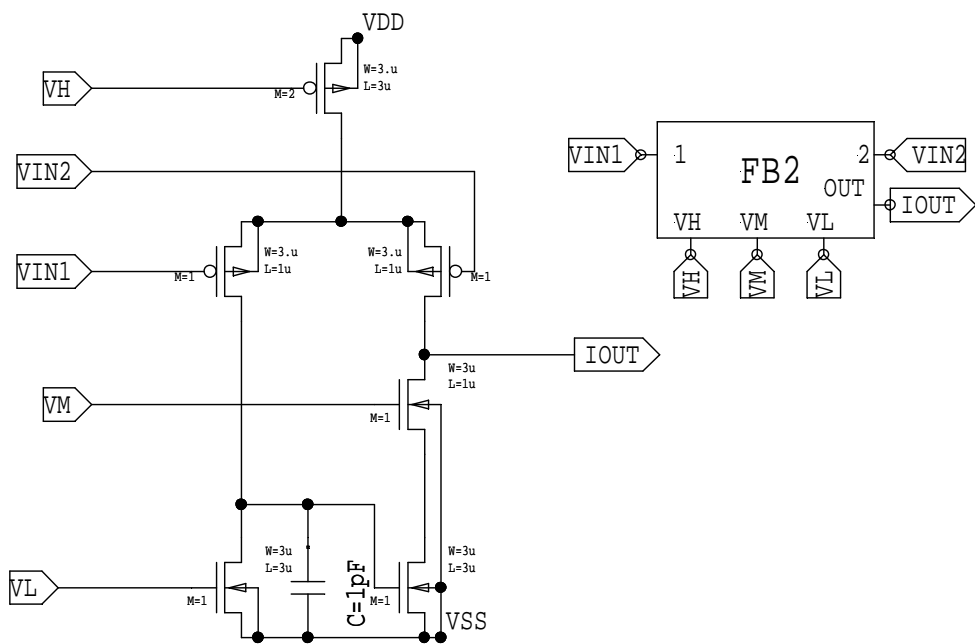


图 8: FB2 回路

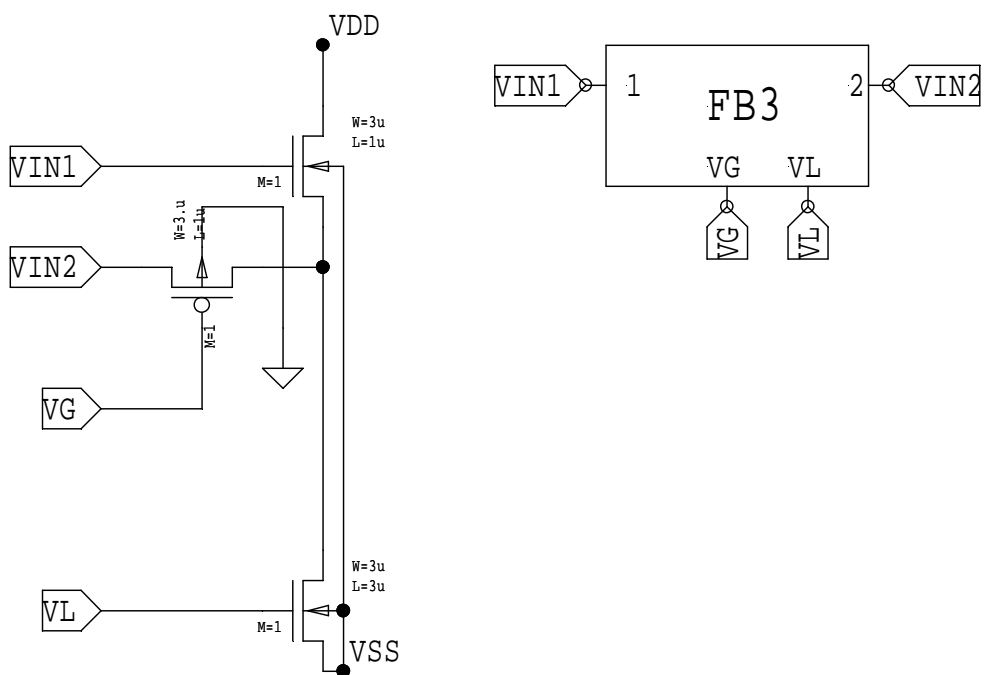


图 9: FB3 回路

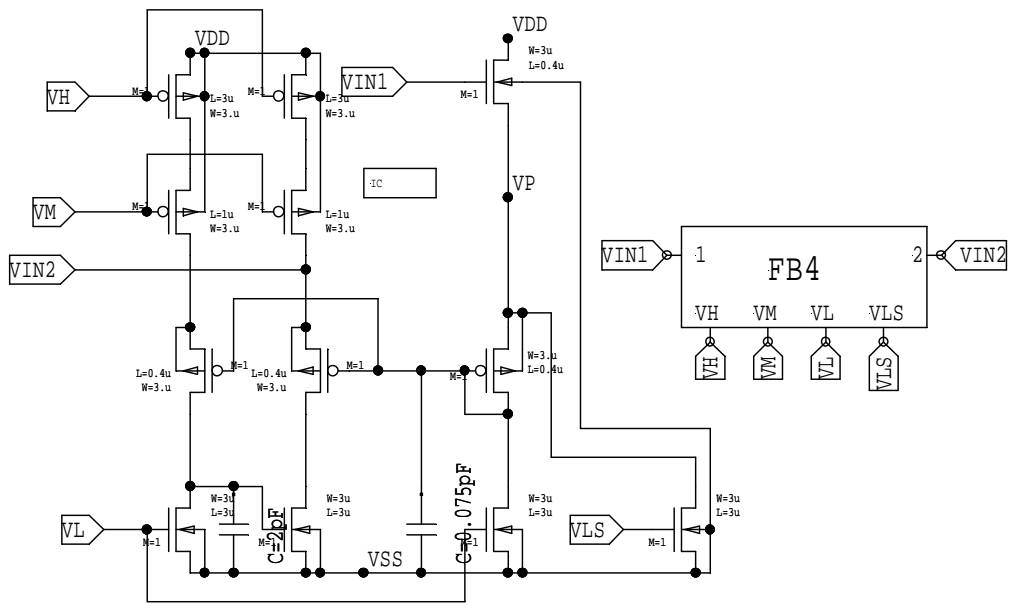


图 10: FB4 回路

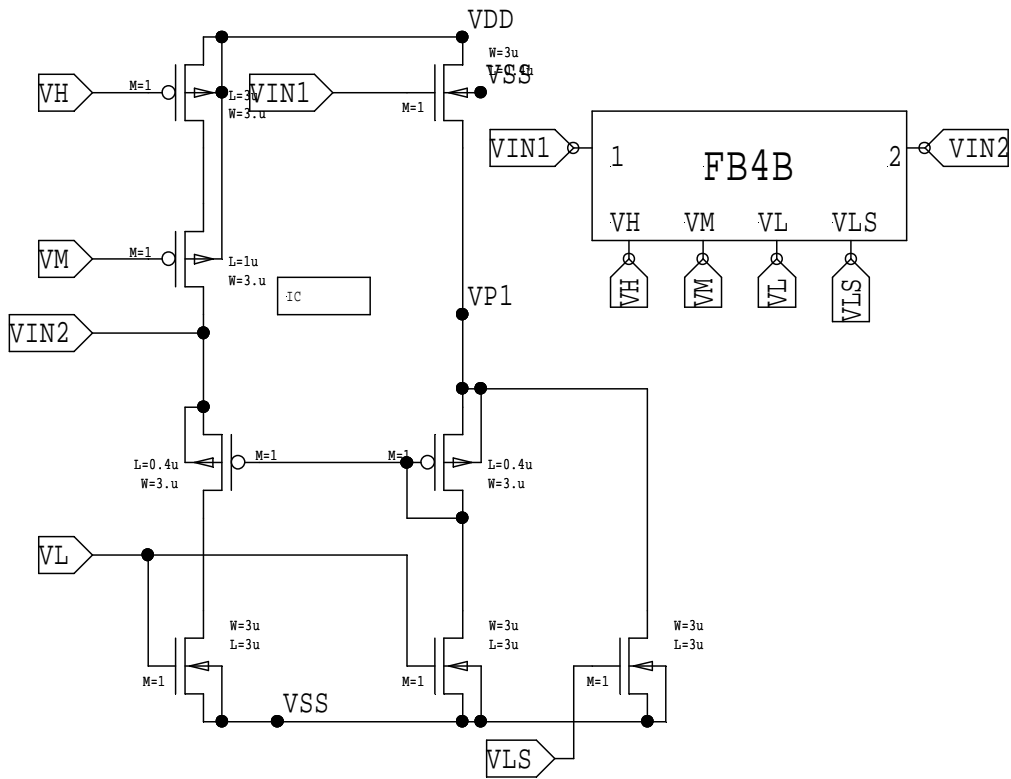


图 11: FB4B 回路

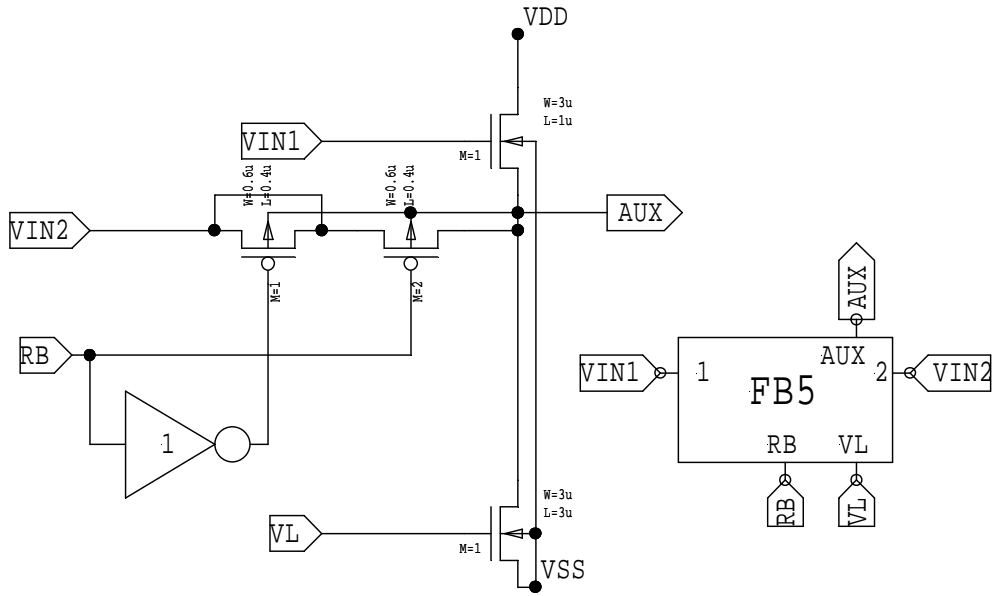


图 12: FB5 回路

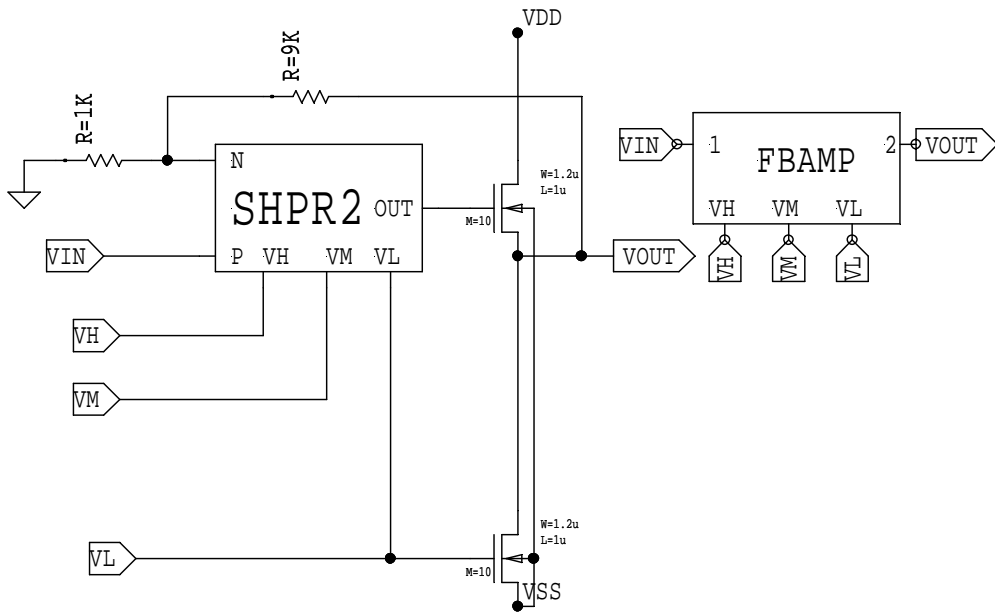


图 13: FBAMP 回路

以下、上記回路ブロックのネットリストを掲げておきます。

```
.SUBCKT FB1 IOUT VH VIN1 VIN2 VL VM
M1 VSS VIN1 N3 N3 pch L=1u W=3.u M=1
M2 IOUT VIN2 N3 N3 pch L=1u W=3.u M=1
M3 N3 VH VDD VDD pch L=3u W=3.u M=2
M4 IOUT VM N1 VSS nch L=1u W=3u M=1
M5 N1 VL VSS VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT FB2 IOUT VH VIN1 VIN2 VL VM
C1 N2 VSS 1pF
M2 N2 VIN1 N1 N1 pch L=1u W=3.u M=1
M3 IOUT VIN2 N1 N1 pch L=1u W=3.u M=1
M4 N1 VH VDD VDD pch L=3u W=3.u M=2
M5 IOUT VM N3 VSS nch L=1u W=3u M=1
M6 N3 N2 VSS VSS nch L=3u W=3u M=1
M7 N2 VL VSS VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT FB3 VG VIN1 VIN2 VL Gnd
M1 N2 VG VIN2 Gnd pch L=1u W=3.u M=1
M2 VDD VIN1 N2 VSS nch L=1u W=3u M=1
M3 N2 VL VSS VSS nch L=3u W=3u M=1
.ENDS
```

```
.SUBCKT FB4 VH VIN1 VIN2 VL VLS VM
C1 N34 VSS 2pF
C2 N35 VSS 0.075pF
.ic v(VIN2,VP)=0
M3 N36 N34 VSS VSS nch L=3u W=3u M=1
M4 VP VLS VSS VSS nch L=3u W=3u M=1
M5 VDD VIN1 VP VSS nch L=0.4u W=3u M=1
M6 N35 VL VSS VSS nch L=3u W=3u M=1
M7 N34 VL VSS VSS nch L=3u W=3u M=1
M8 VDD VH N33 VDD pch L=3u W=3.u M=1
M9 VIN2 N35 N36 VIN2 pch L=0.4u W=3.u M=1
M10 N33 VM VIN2 VDD pch L=1u W=3.u M=1
M11 N39 VM N37 VDD pch L=1u W=3.u M=1
M12 N35 N35 VP VP pch L=0.4u W=3.u M=1
M13 VDD VH N39 VDD pch L=3u W=3.u M=1
M14 N37 N35 N34 N37 pch L=0.4u W=3.u M=1
.ENDS
```

```

.SUBCKT FB5 AUX RB VIN1 VIN2 VL
Xinv1_1 RB N1 inv1
M1 AUX RB VIN2 AUX pch L=0.4u W=0.6u M=2
M2 VDD VIN1 AUX VSS nch L=1u W=3u M=1
M3 AUX VL VSS VSS nch L=3u W=3u M=1
M4 VIN2 N1 VIN2 AUX pch L=0.4u W=0.6u M=1
.ENDS

```

```

.SUBCKT SHPR2 AOUT NEG POS VH VL VM
M4 N9 VH Vdd Vdd pch L=3u W=3.u M=2
M5 N7 NEG N9 N9 pch L=1u W=3.u M=20
M6 N11 POS N9 N9 pch L=1u W=3.u M=20
M7 N7 VL Vss Vss nch L=3u W=3u M=2
M8 N11 VL Vss Vss nch L=3u W=3u M=2
M9 AOUT VM N7 Vss nch L=1u W=3.u M=1
M10 N30 VM N11 Vss nch L=1u W=3.u M=1
M11 AOUT N30 N39 Vdd pch L=1u W=3.u M=1
M12 N30 N30 N42 Vdd pch L=1u W=3.u M=1
M13 N39 N42 Vdd Vdd pch L=1u W=3.u M=1
M14 N42 N42 Vdd Vdd pch L=1u W=3.u M=1
.ENDS

```

```

.SUBCKT FBAMP VH VIN VL VM VOUT Gnd
M1 VDD N1 VOUT VSS nch L=0.4u W=3u M=10
M2 VOUT VL VSS VSS nch L=3u W=3u M=10
R3 Gnd N4 1K TC=0.0, 0.0
R4 N4 VOUT 9K TC=0.0, 0.0
XSHPR2_1 N1 N4 VIN VH VL VM SHPR2
.ENDS

```

A RF1 回路を用いた反転増幅回路

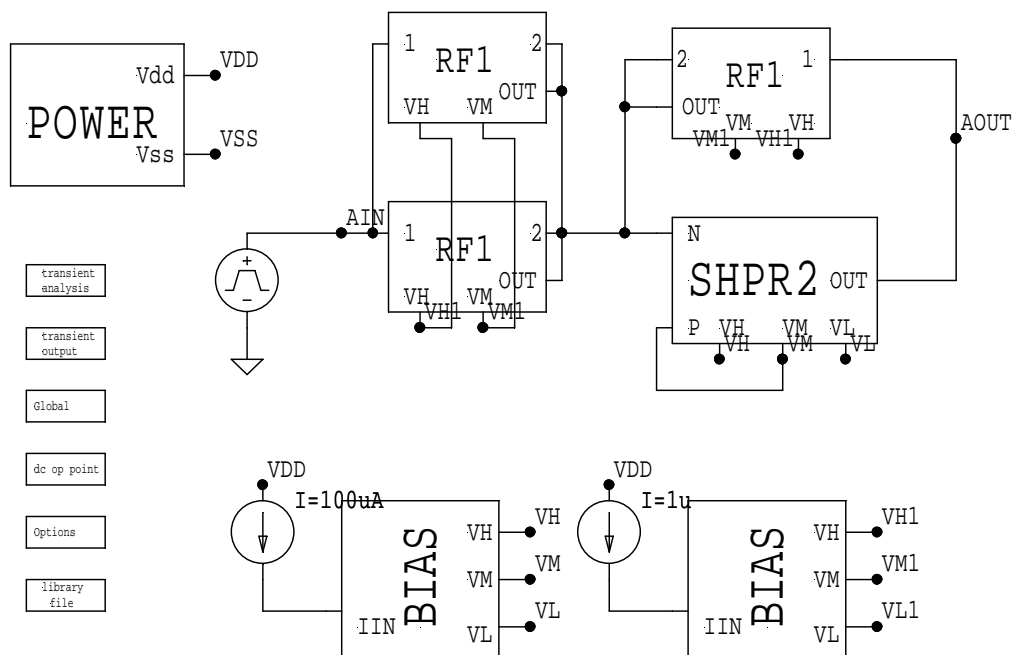


図 14: RF1 回路を用いた反転増幅回路

```

* Main circuit: TESTRF1
XBIAS_1 N2 VH VL VM Gnd BIAS
XBIAS_2 N1 VH1 VL1 VM1 Gnd BIAS
.op
.global VSS VDD
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XRF1_1 N4 VH1 AIN N4 VM1 RF1
XRF1_2 N4 VH1 AIN N4 VM1 RF1
XRF1_3 N4 VH1 AOUT N4 VM1 RF1
XSHPR2_1 AOUT N4 VM VH VL VM SHPR2
i1 VDD N2 100uA
i2 VDD N1 1u
v3 AIN Gnd pulse(0 -25m 1u 1u 1u 5u 200u)
.tran 5n 12u
.print tran v(AIN) v(AOUT)
* End of main circuit: TESTRF1

```

B CFINV 回路を用いた非反転型微分積分回路

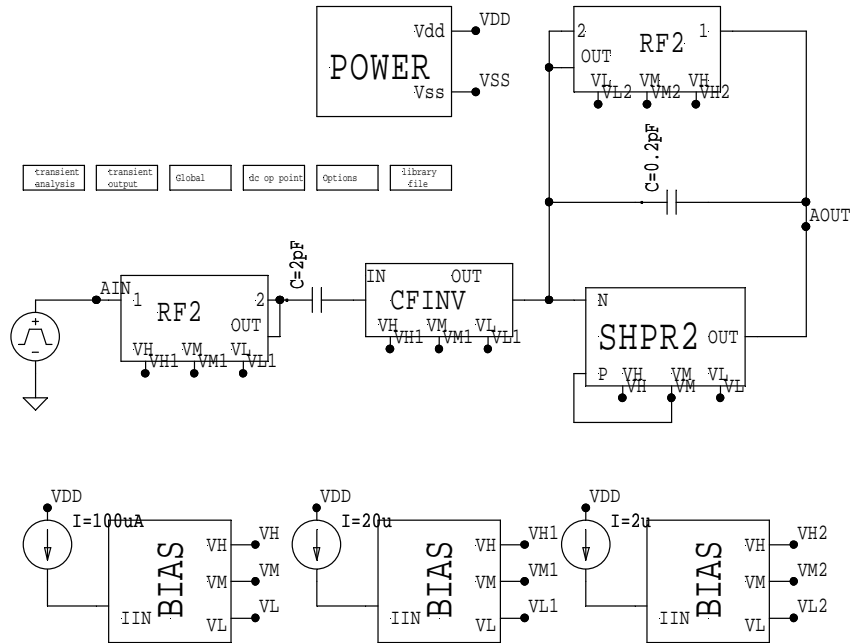


図 15: CFINV 回路を用いた非反転型微分積分回路

```
* Main circuit: TESTCFINV
XBIAS_1 N33 VH VL VM Gnd BIAS
XBIAS_2 N35 VH1 VL1 VM1 Gnd BIAS
XBIAS_3 N39 VH2 VL2 VM2 Gnd BIAS
C1 N37 N38 2pF
C2 N34 AOUT 0.2pF
XCFINV_1 N38 N34 VH1 VL1 VM1 CFINV
.op
.global Vss Vdd
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XRF2_1 N37 VH1 AIN N37 VL1 VM1 RF2
XRF2_2 N34 VH2 AOUT N34 VL2 VM2 RF2
XSHPR2_1 AOUT N34 VM VH VL VM SHPR2
i3 VDD N33 100uA
i4 VDD N35 20u
i5 VDD N39 2u
v6 AIN Gnd pulse(-25m 25m 1u 1u 1u 5u 200u)
.tran 5n 12u
.print tran v(RST) v(AIN) v(AOUT)
* End of main circuit: TESTCFINV
```

C RF2回路を用いた前置増幅器の構成例

前置増幅器における増幅要素としては、図 16 記載の PrC 回路を用い直流帰還回路として RF2 回路を用いています。

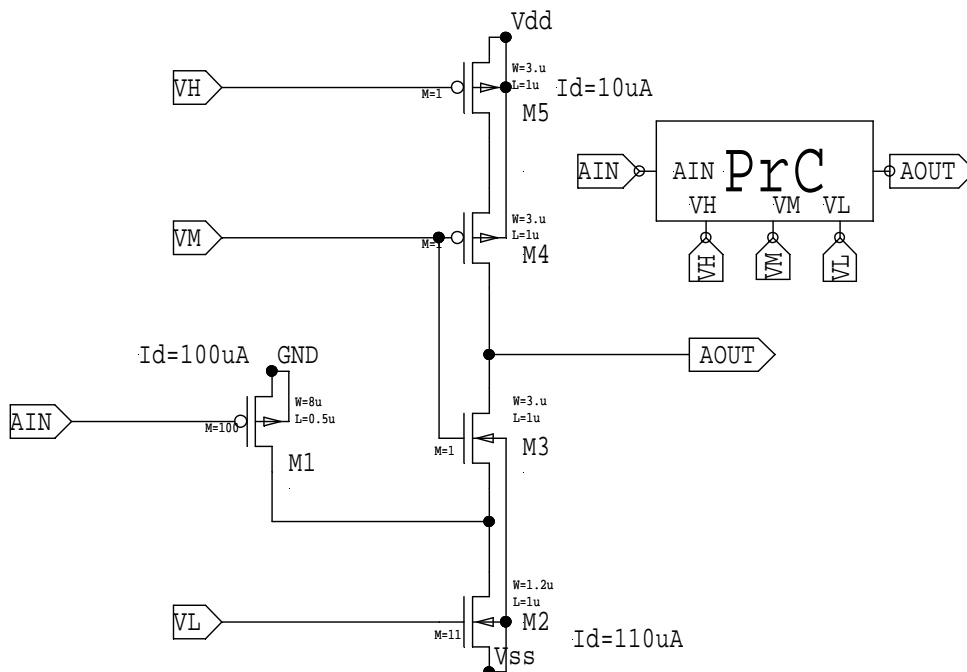


図 16: 前置増幅器回路 PrC

```
.SUBCKT prC AIN AOUT VH VL VM
M1 N2 AIN GND GND pch L=0.5u W=8u M=100
M2 N2 VL Vss Vss nch L=3u W=3u M=11
M3 AOUT VM N2 Vss nch L=1u W=3.u M=1
M4 AOUT VM N1 Vdd pch L=1u W=3.u M=1
M5 N1 VH Vdd Vdd pch L=3u W=3.u M=1
.ENDS
```

```
* Main circuit: TESTRF2
XBIAS_1 N27 VH VL VM Gnd BIAS
XBIAS_2 N8 N1 N3 N4 Gnd BIAS
C1 N2 AOUT 0.1p
C2 TP N2 0.1p
.op
.global Vss Vdd
.lib 'mm0355v.1' TT
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
```

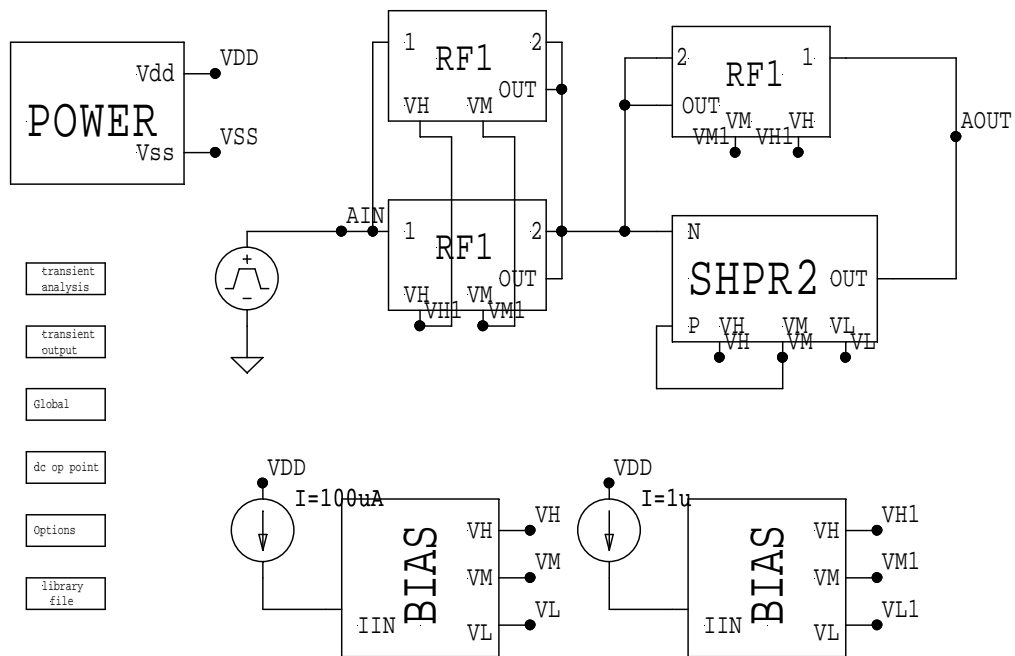



図 17: RF1 回路を用いた前置増幅器の構成例

```

XprC_1 N2 AOUT VH VL VM prC
XRF2_1 N2 N1 AOUT VM N3 N4 RF2
i3 VDD N27 100uA
i4 VDD N8 10n
v5 TP Gnd pulse(0 -20m 1u 10n 10n 100u 200u)
.tran 10n 20u
.print tran v(TP) v(AOUT)
* End of main circuit: TESTRF2

```

D FB1 回路を用いた前置増幅器の構成例

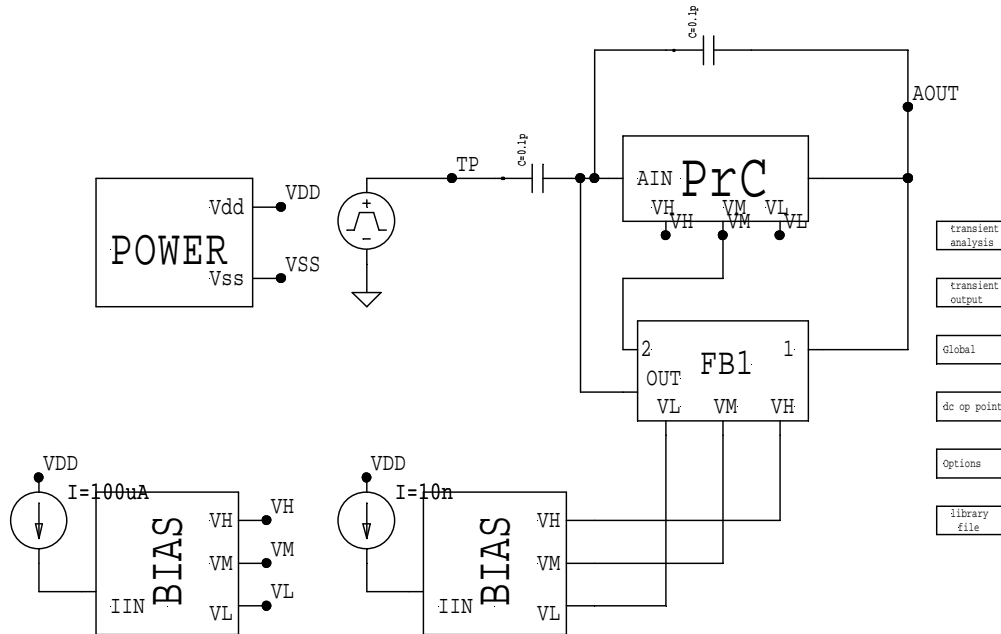


図 18: FB1 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTFB1
XBIAS_1 N1 VH VL VM Gnd BIAS
XBIAS_2 N68 N65 N71 N69 Gnd BIAS
C1 N70 AOUT 0.1p
C2 TP N70 0.1p
.op
XFB1_1 N70 N65 AOUT VM N71 N69 FB1
.global VSS VDD
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N70 AOUT VH VL VM prC
i3 VDD N1 100uA
i4 VDD N68 10n
v5 TP Gnd pulse(0 -20m 1u 10n 10n 100u 200u)
.tran 10n 20u
.print tran v(TP) v(AOUT)
* End of main circuit: TESTFB1

```

E FB2回路を用いた前置増幅器の構成例

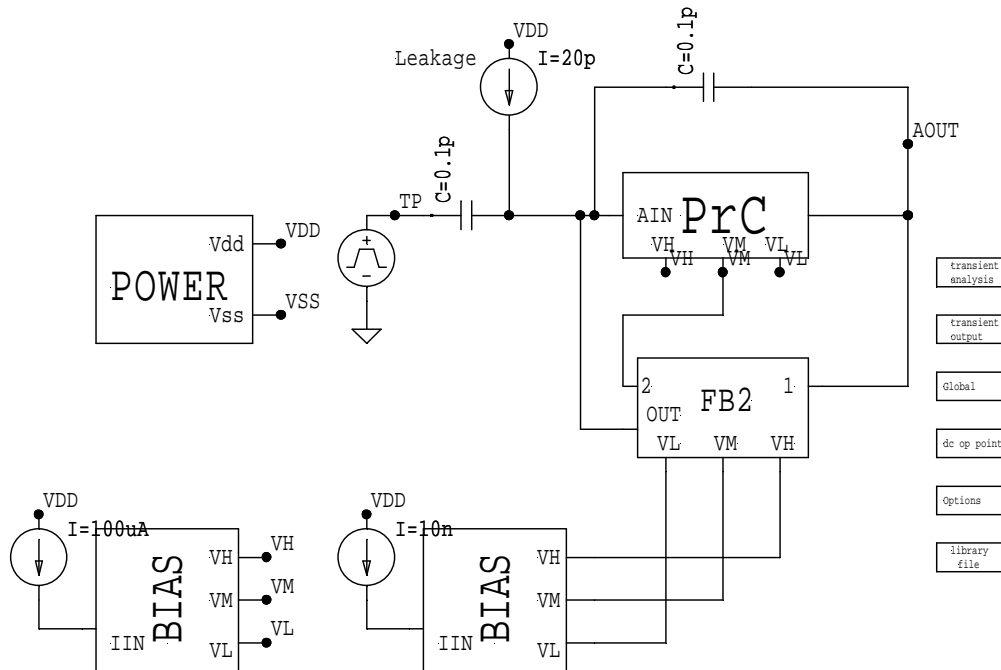


図 19: FB2 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTFB2
XBIAS_1 N27 VH VL VM Gnd BIAS
XBIAS_2 N6 N5 N1 N3 Gnd BIAS
C1 N2 AOUT 0.1p
C2 TP N2 0.1p
.op
XFB2_1 N2 N5 AOUT VM N1 N3 FB2
.global Vss Vdd
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N2 AOUT VH VL VM prC
i3 VDD N27 100uA
i4 VDD N6 10n
i5 VDD N2 20p
v6 TP Gnd pulse(0 -20m 1u 10n 10n 100u 200u)
.tran 10n 20u
.print tran v(TP) v(AOUT)
* End of main circuit: TESTFB2

```

F FB3回路を用いた前置増幅器の構成例

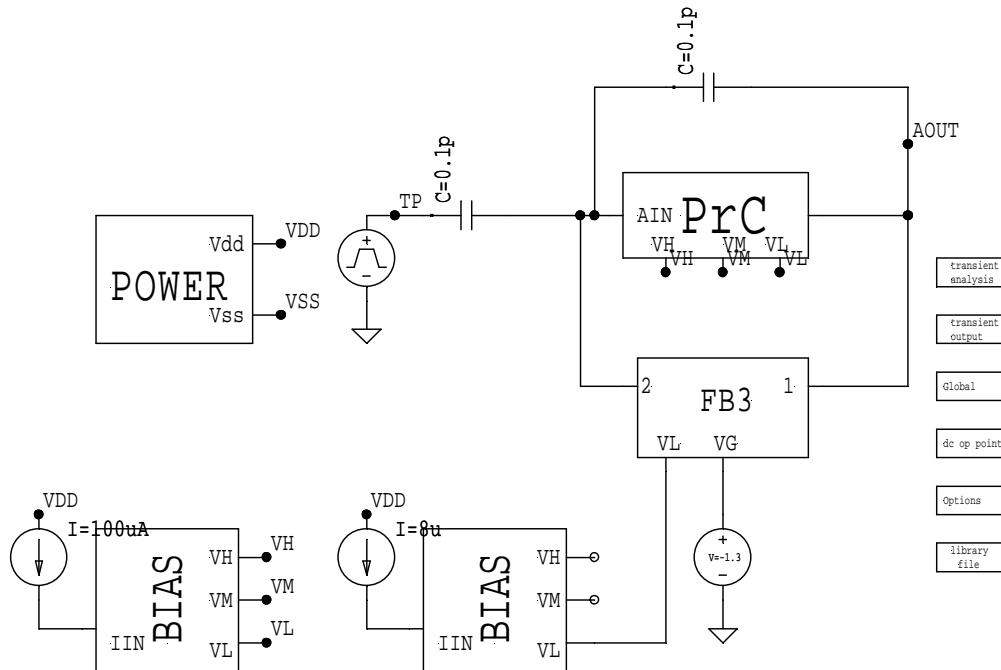


図 20: FB3 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTFB3
XBIAS_1 N27 VH VL VM Gnd BIAS
XBIAS_2 N2 N1 N3 N4 Gnd BIAS
C1 N6 AOUT 0.1p
C2 TP N6 0.1p
.op
XFB3_1 N7 AOUT N6 N3 Gnd FB3
.global VSS VDD
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N6 AOUT VH VL VM prC
i3 VDD N27 100uA
i4 VDD N2 8u
v5 N7 Gnd -1.3
v6 TP Gnd pulse(0 -20m 1u 10n 10n 100u 200u)
.tran 10n 20u
.print tran v(TP) v(AOUT)
* End of main circuit: TESTFB3

```

G FB4回路を用いた前置増幅器の構成例

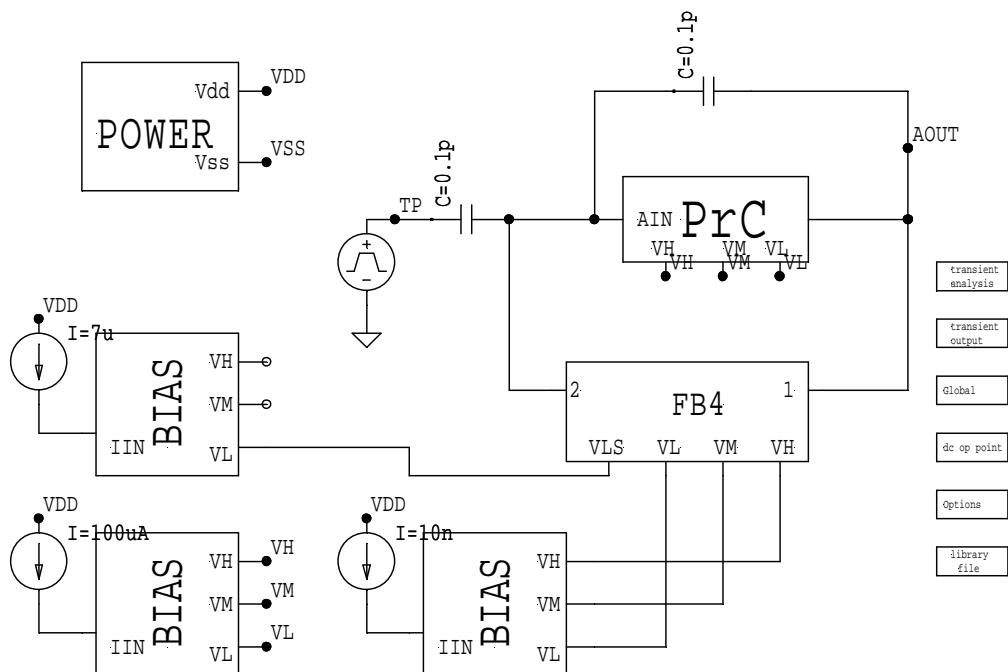


図 21: FB4 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTFB4
XBIAS_1 N11 VH VL VM Gnd BIAS
XBIAS_2 N1 N5 N6 N4 Gnd BIAS
XBIAS_3 N12 N9 N3 N8 Gnd BIAS
C1 N2 AOUT 0.1p
C2 TP N2 0.1p
.op
XFB4_1 N5 AOUT N2 N6 N3 N4 FB4
.global VSS VDD
.options reltol=1.e-10 abstol=1.e-20 numnd=1000 numnt=100 linearsolver=spars
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N2 AOUT VH VL VM prC
i3 VDD N11 100uA
i4 VDD N1 10n
i5 VDD N12 7u
v6 TP Gnd pulse(0 -500m 100u 10n 10n 300u 350u)
.tran 10n 250u
.print tran v(TP) v(RST) v(AOUT)
* End of main circuit: TESTFB4

```

H FB5回路を用いた前置増幅器の構成例

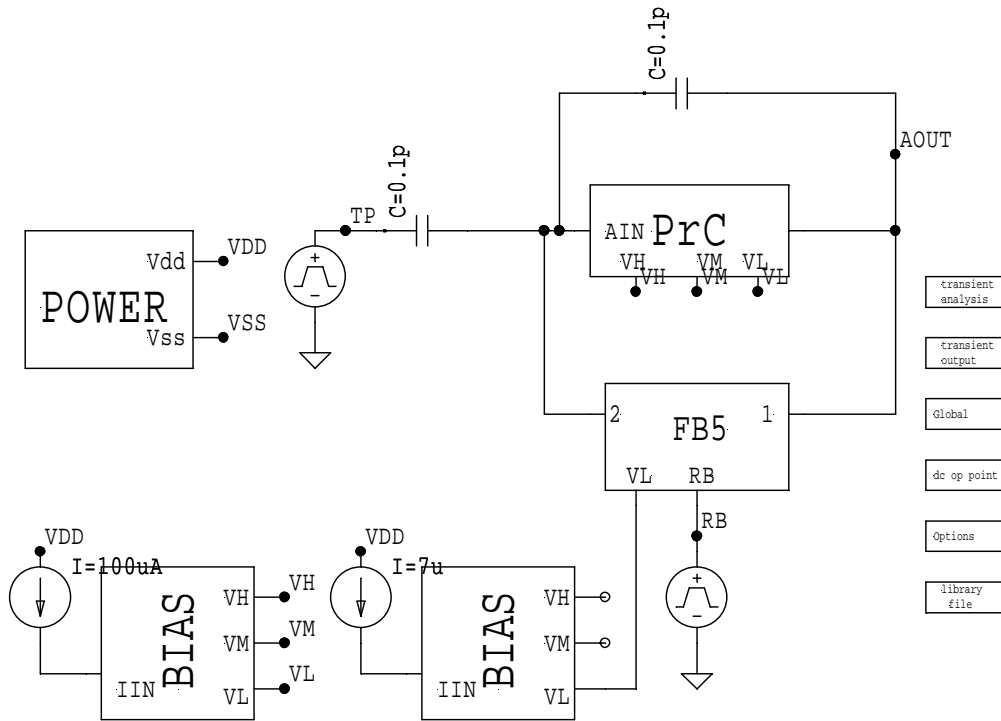


図 22: FB5 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTFB5
XBIAS_1 N25 VH VL VM Gnd BIAS
XBIAS_2 N4 N7 N3 N5 Gnd BIAS
C1 N1 AOUT 0.1p
C2 TP N1 0.1p
.op
XFB5_1 RB AOUT N1 N3 FB5
.global VSS VDD
.options reltol=1.e-7 abstol=1.e-14 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N1 AOUT VH VL VM prC
i3 VDD N25 100uA
i4 VDD N4 7u
v5 TP Gnd pulse(0 -20m 3u 10n 10n 100u 200u)
v6 RB Gnd pulse(-1.65 1.65 1u 10n 10n 100u 200u)
.tran 10n 20u
.print tran v(RB) v(TP) v(AOUT)
* End of main circuit: TESTFB5

```

I FBAMP 回路を用いた前置増幅器の構成例

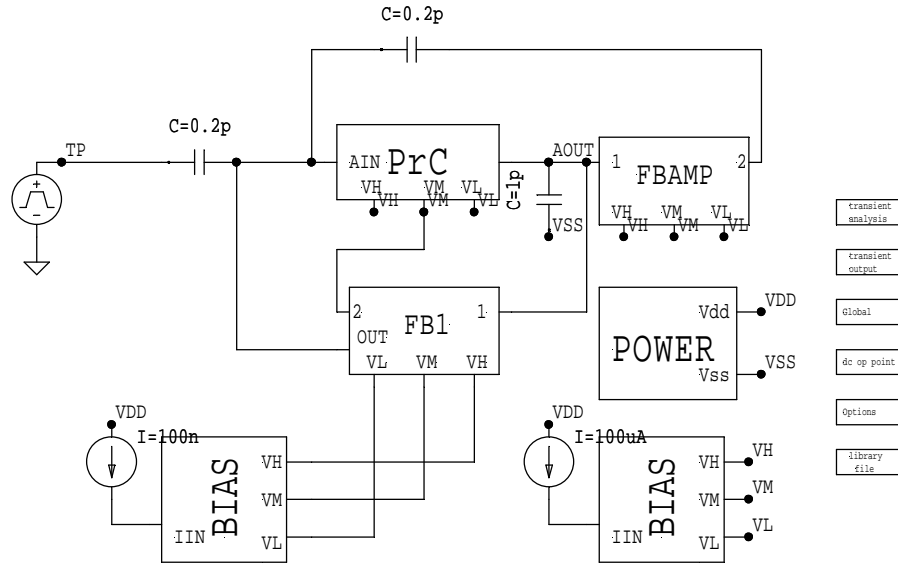


図 23: FBAMP 回路を用いた前置増幅器の構成例

```

* Main circuit: TESTFBAMP
XBIAS_1 N2 VH VL VM Gnd BIAS
XBIAS_2 N7 N1 N4 N6 Gnd BIAS
C1 N9 N5 0.2p
C2 TP N9 0.2p
C3 VSS AOUT 1p
.op
XFB1_1 N9 N1 AOUT VM N4 N6 FB1
XFBAMP_1 VH AOUT VL VM N5 Gnd FBAMP
.global Vss Vdd
.lib 'mm0355v.1' TT
.options reltol=1.e-8 abstol=1.e-16 numnd=1000 numnt=100 linearsolver=sparse
XPOWER_1 VDD VSS Gnd POWER
XprC_1 N9 AOUT VH VL VM prC
i4 VDD N2 100uA
i5 VDD N7 100n
v6 TP Gnd pulse(0 -100m 20u 10n 10n 300u 350u)
.tran 5n 100u
.print tran v(TP) v(RST) v(AOUT)
* End of main circuit: TESTFBAMP
    
```

J 来歴

- 第4章において、定電流源のトランジスタのL値を $3\ \mu\text{m}$ と変更したことにともなう改修を行いました (H160818)。
- 「FBAMP 回路を用いた前置増幅回路の構成例」において回路の安定性を確保するようにしました (H160818)。
- 「RF2 回路を用いた前置増幅回路の構成例」を追加しました (H160818)。
- FB4 回路の亜種として FB4B 回路を追加しました (H160831)。

以上